NOWY ELEKTRONIK

9/91

nr ind. 367141

miesięcznik elektroników

cena 6000 zł

SPIS TREŚCI

Jak zamieścić ogłoszenie w "NE"

Aby zamieścić ogłoszenie w "NOWYM ELEKTRONIKU" należy przesłać treść ogłoszenia do redakcji na adres: P.W. "ARTCOM", Redakcja "Nowego Elektronika", skr. poczt. 100, 82-300 Elbląg. Po otrzymaniu treści ogłoszenia redakcja prześle rachunek do zleceniodawcy ogłoszenia.

CENY

- 1 cm^2 ogłoszenia 5.000zł (najmniejsze ogłoszenie 18 cm^2)
- ogłoszenia drobne do 40 słów od osób prywatnych 1.000zł za słowo
- ogłoszenia drobne powyżej 40 słów i ogłoszenia od firm 3.000zł za słowo

Za treść ogłoszenia redakcja nie ponosi żadnej odpowiedzialności.

Adres Redakcji P.W. "ARTCOM", Redakcja "NOWEGO ELEKTRONIKA", skr. poczt. 100, 82-300 Elbląg, tel.284-44
Redaktor naczelny - J.Ryszard Świątkowski
Redakcja zastrzega sobie prawo skracania i korekty nadesłanych artykułów.
Wydawca - P.W. "**ARTCOM**"
Skład - P.W. "**ARTCOM**"
Druk - Grudziądzkie Zakłady Graficzne im. W. Kulerskiego w Grudziądzu, pl. Wolności 5

Wzmacniacz zapisu video

Opisany niżej wzmacniacz zapisu VIDEO jest dla amatorów VHS przydatnym narzędziem przy wykonaniu kopii interesujących filmów. **Oczywiście przy tym należy przestrzegać praw autorskich filmów, z których mają być robione kopie I wzmacniacz ten nie może być wykorzystywany do robienia "pirackich" kopii.** Jak wiadomo przy kopiowaniu występują straty videosygnału, które przez zmniejszenie ostrości i kontrastu robią się zauważalne. Straty ostrości występujące podczas kopiowania wskazują na tłumienie sygnału w.cz. w zespolonym sygnale synchronizacji i wygaszania. Przez to powstają równocześnie straty nasycenia kolorów. Przez tłumienie sygnału w kablu mogą powstawać zakłócenia w synchronizacji i wówczas obraz zaczyna migać. Innym nieprzyjemnym zjawiskiem przy wykonywaniu kopii jest tzw. "zadymienie" i dla każdych kolejnych kopii jest ono wzmacniane. I jest to kolejne zadanie dla danego wzmacniacza - nie wzmacniać "zadymienia".

Na rys.2 pokazany jest schemat prostego wzmacniacza zapisu VIDEO.

Sygnał wejściowy podawany jest przez kondensator C1 na bazę tranzystora T1. R1 jest rezystorem zapewniającym dopasowanie kabli. Tranzystory T1 i T2 stanowią wzmacniacz sprzęgający stałoprądowy. Tranzystor T3 służy do dopasowania poziomu. Nastawnym rezystorem R6 można nastawić całkowite wzmocnienie układu. Wynika to ze wzoru

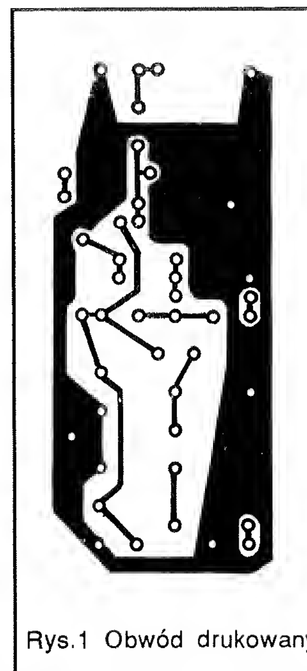
$$k_u = \frac{R_4+R_5+R_6}{R_4}$$

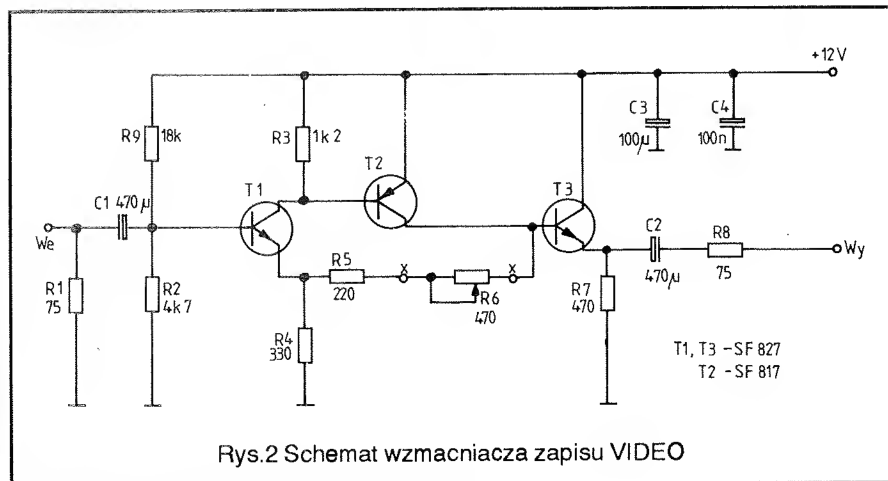
Oczywiście układ ten nie jest jakąś rewelacją i może u amatorów wzbudzać chęć do eksperymentowania w tym obszarze. Możliwe jest np. wstawienie górnoprzepustowego filtru kondensatorowego przy rezystorze R6. Przez to można zwiększyć udział w.cz. w sygnale zespolonym synchronizacji i wygaszania.

Wzmacniacz ten posiada pasmo przenoszenia około 15MHz. Można go zmontować na płytce 70x30 i umieścić w małej obudowie z materiału miedziowego. Zasilanie można zrealizować z trzech płaskich baterii (oczywiście nie krajowych). Połączenia kablowe powinny być zrealizowane na wtykach BNC.

mgr inż. Zbigniew Pędzik

Literatura:
FUNKAMATEUR 6/90


Rys.1 Obwód drukowany



Rys.2 Schemat wzmacniacza zapisu VIDEO

Jak wykonać niezwykle efektowne zdjęcie rozpryskującej się kropli mleka?

Można tego dokonać używając własnego aparatu fotograficznego i lampy błyskowej połączonych z prostym wyzwalaczem opóźniającym błysk.

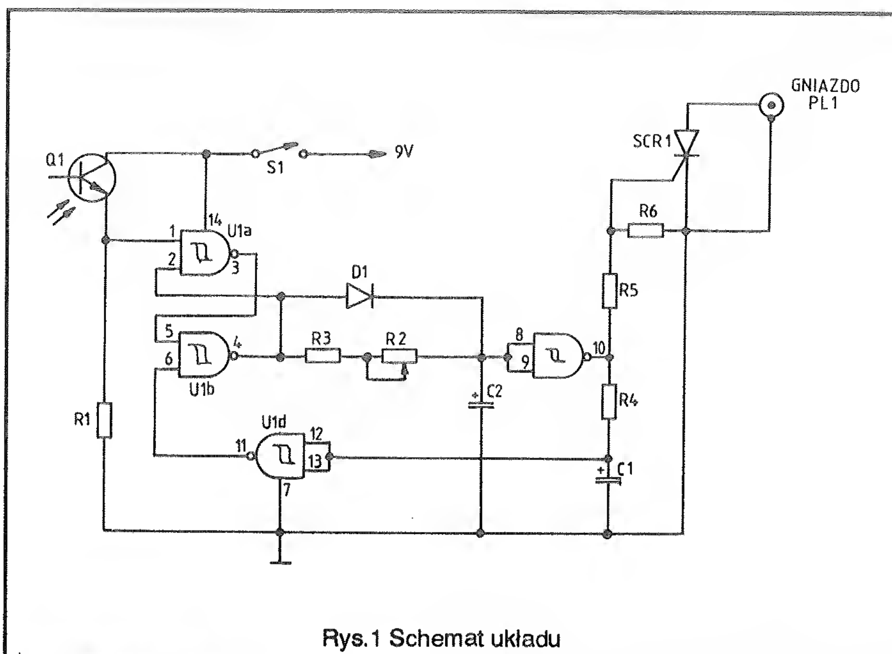
Działanie układu.

Schemat układu opóźniania przedstawiony jest na rys.1. Obwód zbudowany jest na bazie pojedynczego układu 4093 zawierającego cztery dwuwejściowe bramki NAND z przerzutnikiem Schmitta. Dwie spośród bramek (U1a i U1b) tworzą przerzutnik RS (set-reset), który jest wyzwalany fototranzystorem Q1. Tak długo, jak Q1 jest oświetlany wiązką światła, jedno z wejść bramki U1a trzyma stan wysoki. Kiedy wiązka zostanie przerwana np.poprzez spadającą kroplę mleka, stan na wejściu U1a spada do stanu niskiego poprzez rezystor R1. Powoduje to stan wysoki na wyjściu U1a, a niski na wyjściu U1b. W tym punkcie C2 (który w koniunkcji z R2 i R3 określa długość opóźnienia) zaczyna się rozładowywać poprzez R2 i R3. Aktualne opóźnienie w sekundach podaje wzór: $t_d=C*(R2+R3)$

Kiedy C2 wystarczająco się rozładuje wyjście bramki U1c osiąga stan wysoki, wyzwalając SCR1 i powodując błysk. Teraz C1 zaczyna ładować się poprzez R4 co trwa około pół sekundy. Po upływie tego czasu wyjście bramki U1d osiąga stan niski, ustawiając ponownie U1a i U1b do ich stanu początkowego. Następnie kondensator C2 ponownie szybko się ładuje poprzez diodę D1 i jest gotowy do nastęnego zdjęcia. Półsekundowe opóźnienie wytwarzane przez C1 zapobiega podwójnemu naświetlaniu zdjęć.

Konstrukcja.

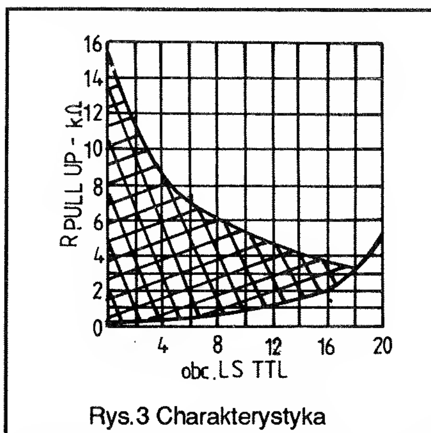
Przy montowaniu U1 należy być szczególnie ostrożnym. Jest to układ scalony CMOS, który może zostać zniszczony przez wyładowania statyczne. Również przy montowaniu C1 i C2 należy zachować właściwą polaryzację. Fototranzystor Q1 należy umieścić w pobliżu jednego z końców płytki. Jako Q1 może pracować jakikolwiek fototranzystor, czuły zarówno na podczerwień jak i światło widzialne. Poza tym potrzebna jest krótka, czarna, plastikowa rurka, w której umieszcza się fototranzystor. Ma to na celu utrzymanie go w linii prostej z otworem obudowy. Można wykorzystać oprawę od długopisu wywiercając otwór w jej górnej części. Należy jednak pamiętać, że nie może on być zbyt duży (wystarczy około 1,5 mm), bo w przeciwnym razie kropla mleka będzie za mała, aby przysłonić całą wiązkię światła. Jako SCR1 należy wykorzystać szybki tyrystor TLS106-6.



Rys.1 Schemat układu

Sprawdzenie.

Przed zamontowaniem płytki w obudowie należy dołączyć zasilanie i upewnić się, czy układ funkcjonuje poprawnie. Tymczasowo przylutować przewód synchronizacyjny do odpowiednich punktów na płytce. Wiele lamp błyskowych ma ujemną polaryzację obwodu synchronizacji. Jeżeli zachodzi taka sytuacja należy zamienić połączenia. W celu rozstrzygnięcia czy przewód synchronizacyjny jest właściwie podłączony do lampy należy włączyć go do gniazda PL1, a następnie na tyrystorze SCR1 zbadać polaryzację napięcia (anoda(+), katoda(-)). Jeżeli polaryzacja jest zła należy przewody podlutować do tyrystora odwrotnie. Napięcie to powinno wahać się w granicach od 2 do 300V zależnie od rodzaju lampy i stopnia naładowania kondensatora wewnętrznego lampy. Nie zaleca się stosować do tego typu eksperymentu lamp o napięciu zasilania palnika około 500V, gdyż może to spowodować uszkodzenie tyrystora (będzie pracował on w skrajnych warunkach). Podłączyć baterlę 9V do płytki i włączyć urządzenie. Upewnić się czy fototranzystor Q1 nie jest oświetlony żadną wiązką światła. Lampa powinna błyskać mniej więcej co sekundę. Obracając potencjometrem R2 można zmienić przedział czasowy między błyskami. Oświetlić fototranzystor wiązką światła (lampa przestanie błyskać). Przerwanie jej powinno wyzwolić błysk w chwilę później.



Rys.3 Charakterystyka

Podsumowując, lampa pracuje gdy na wyprowadzeniach układu scalonego są następujące napięcia: przy oświetlonym Q1

1 - 8,5V i 0V przy ciemnym

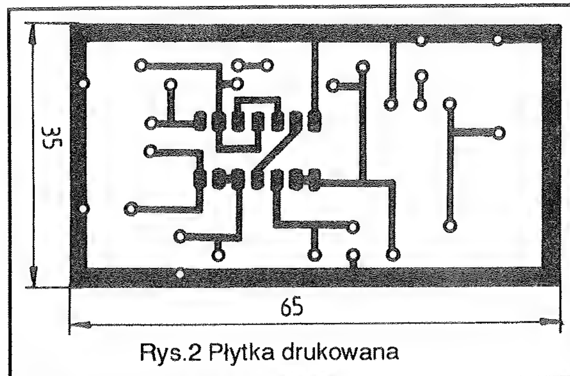
3 - 0V

4 - 8,5V

10 - 0V

11 - 8,5V

Z wyjątkiem wyprowadzenia 1 układu U1 napięcia powinny zmieniać się pomiędzy wysokim i niskim dla Q1 ciemnego. Jeżeli napięcia się nie sprawdzają przypuszczalnie uszkodzony jest SCR1 lub U1, ewentualnie kondensator jest zainstalowany niezgodnie z polaryzacją.



Rys.2 Płytka drukowana

Wykonanie fotografii.

Idealnym źródłem dla spadającej kropli mleka jest szklana, laboratoryjna biureta. Należy zamocować ją w statywie tak, aby końcówka była na wysokości 28cm nad stołem. Podstawić pod nią ciemny lub jaskrawy talerz. Poniżej na tym samym statywie zamocować wykonane urządzenie. Fotokomórkę umieścić tak, aby była około 1,5cm poniżej końca biurety. Wypełnić biuretę mlekiem lub pół na pół mlekiem i wodą. W odległości około 30cm od urządzenia zamocować ·źródło światła wypływające bardzo skupioną wiązką (np. latarka z soczewką) i nakierować je na fotokomórkę. Owinąć je czarnym papierem w celu większego skupienia wiązki światła. Połączyć lampę błyskową z wykonanym urządzeniem, wycelować ją na talerz i ustawić na minimum mocy (jeżeli posiada tzw. "komputer"). Aparat fotograficzny powinien posiadać obiektyw o ogniskowej przynajmniej 100mm, a film czułość 100 ISO (21DIN).

Wyłączyć światło w pokoju i otworzyć biuretę tak, aby krople spadały co 1-2s. Ustawić biuretę tak aż ujrzy się cienie spadających kropel przecinające fotokomórkę. Błysk powinien nastąpić po każdej spadającej kropli. Nastawić opóźnienie tak, aby zobaczyć rozpryskującą się kroplę. Wrażenie wzrokowe spowodowane bezwładnością wzroku zatrzyma obraz wystarczająco długo aby wyraźnie zaobserwować koronę rozpryskującej się kropli.

Przełącznik czasu w aparacie ustawić w pozycji "B". Dla uzyskania maksymalnej głębi ostrości przesłonę ustawić na "16" lub "22". Na talerzyku należy pozostawić tylko cienką warstwę mleka, bowiem przy zbyt grubej to rozpryskiwanie się jest mniej efektowne. Ustawienie czasu jest niezwykle ważne przy wykonywaniu tego rodzaju zdjęć. Tolerancja dla kondensatorów elektrolitycznych ma szeroki zakres, w związku z tym rezystor R3 może mieć nieco większą lub mniejszą wartość, aby można było ustawić odpowiednie opóźnienie. Można również zmniejszyć lub zwiększyć wysokość na jakiej znajduje się biureta.

Witold Dąbrowski

Opracowano na podstawie: Popular Electronics Marzec 1991

Wykaz elementów:

Półprzewodniki

U1 - CD4093, cztery dwuwejściowe bramki Schmitta NAND

Q1 - fototranzystor typu n-p-n

SCR1 - tyrystor TLS106-6

D1 - 1N4448 lub podobna szybka dioda krzemowa

Rezystory

Wszystkie użyte rezystory posiadają moc 0,25W i tolerancję 5%

R1 - 330kΩ

R2 - 100kΩ potencjometr

R3 - 300kΩ

R4 - 680kΩ

R5 - 1kΩ

R6 - 3,3kΩ

Inne elementy

C1, C2 - 1μF/35V, kondensatory tantalowe

S1 - mikrowyłącznik

Przełączanie i regulacja w technice Audio i Video

W artykule tym jest przedstawionych kilka wariantów elektronicznej realizacji włączania, wyłączania, płynnej regulacji, które mają zastosowanie w elektronicznych układach AUDIO-VIDEO.

1. Włączanie i wyłączanie przyciskiem.

Włączanie przez naciskanie na przycisk było wyzwane przez praktykę. Rozwiązanie nie jest trudne. Będą przedstawione tutaj dwa sposoby realizacji.

Rys.1 przedstawia schemat z wykorzystaniem przerzutnika Schmitta CMOS. Nastawny rezystor służy tutaj do justowania. Reguluje on tak, że napięcie na suwaku leży pomiędzy dwoma punktami przełączania przerzutnika Schmitta. Na kondensatorze C1 odkłada się napięcie U_S lub nie ma napięcia. Naciśnięcie na przycisk powoduje ciągłą zmianę potencjału wyjściowego. Dla tej zasady może być użyty każdy odwracający przerzutnik Schmitta.

Rys.2 przedstawia zastosowanie wzmacniacza operacyjnego jako podstawowy układ. Mogą być użyte różne typy wzmacniaczy operacyjnych np. B081, B761, 741 itp. Rozwiązanie obejmuje różne możliwości np. przez równoległe połączenie dalszych przycisków otrzymuje się zmianę połączeń.

2. Płynna regulacja.

Rys.3 przedstawia układ z wykorzystaniem przycisków i sensorów. Regulacja odbywa się przez naciskanie na przycisk albo przez dotyk sensora, który działa jako potencjometr. Nastawnym rezystorem R3 ustawia się stały potencjał wyjściowy. Potencjał ten może być tylko przez obsługę zwiększony lub obniżony. Istotnym faktem w tym układzie jest to, że przy zwolnieniu przycisku lub sensora wartość zmieniającego się napięcia zatrzymuje się. Problemem jest tutaj czas zapamiętywania wartości napięcia. Przez prąd upływu kondensatora, wejściowy prąd zerowy wzmacniacza operacyjnego jak również przez wilgotny nalot powstaje dryf (zmiana wielkości wyjściowej w czasie). Dlatego należy użyć wzmacniacz operacyjny (BiFET) i kondensator wysokiej jakości.

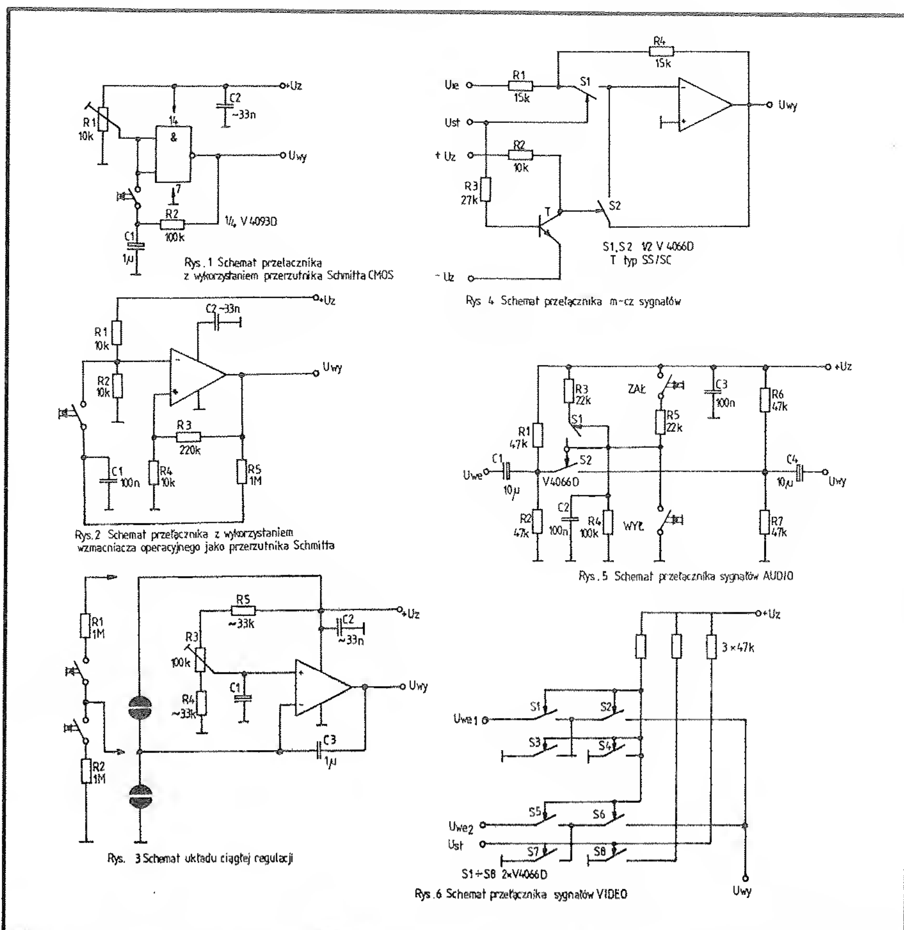
Wzmacniacz operacyjny może być typu 3130.

3. Włączanie sygnału AUDIO.

Na rys.4 pokazany jest prosty regulowany napięciowo przełącznik AUDIO. Na-

pięcie U_{we} jest wejściowym napięciem niskiej częstotliwości. Jeden z dwóch elektronicznych przełączników S1 i S2 jest zawsze otwarty. W układzie może być użyty wzmacniacz operacyjny BiFET. Układ scalony V4066D zawiera cztery przełączniki i nadaje się bardzo dobrze do układu cichego dostrajania sygnału stereo.

Rys.5 przedstawia konfigurację przełącznika analogowego sygnału. Zrealizowany jest on na dwóch odpowiednio uporządkowanych CMOS-przełącznikach, które uruchamiane są za pomocą dwóch przycisków. W stanie spoczynkowym napięcie na wejściu sterującym przy S1 jest niskie. Po naciśnięciu przycisku "ZAŁ" napięcie to rośnie, tak że S1 zamyka się. On sam nie podtrzymuje i tylko naciśnięcie przycisku "WYŁ" powoduje jego ponowne otwarcie, ale potencjał sterujący jest zwierany do masy. Tak że stan spoczynkowy jest ponownie przywrócony. S1 steruje ale jeszcze S2 decyduje o całkowitym przełączeniu sygnału m.cz. (U_{we}). W stanie pobudzonym jest całkowite rozwarcie. Sygnał sterujący z S1 może więcej szeregowo połączonych przełączników analogowych sygnałów jednocześnie otwierać lub zamykać. Stały sygnał może się różnorodnie ukierunkowywać albo różnorodne sygnały mogą mieć stały kierunek.



Rys.1 Schemat przełącznika z wykorzystaniem przerzutnika Schmitta CMOS

Rys.2 Schemat przełącznika z wykorzystaniem wzmacniacza operacyjnego jako przerzutnika Schmitta

Rys. 3 Schemat układu ciągłej regulacji

Rys 4 Schemat przełącznika m-cz sygnałów

Rys.5 Schemat przełącznika sygnałów AUDIO

Rys.6 Schemat przełącznika sygnałów VIDEO

4.Włączanie sygnału VIDEO.

Proste przełączniki sygnałów VIDEO są potrzebne np.kiedy dwa sygnały VIDEO na jednym ekranie muszą być obserwowane. Bez przełącznika VIDEO będą się zakłócać (będzie widoczna reszta sygnałów).

Rozwiązanie jest pokazane na rys.6.

Kiedy napięcie sterujące U_{st} jest wysokie, do wyjścia przełączane jest napięcie wejściowe U_{we1}. Natomiast kiedy napięcie sterujące U_{st} jest niskie, do wyjścia przełączane jest napięcie wejściowe U_{we2}. Elektroniczne przełączniki S1-S8 są podzielone na dwa układy V4066D (S1-S4 i S5-S8). Wystarcza jedno napięcie robocze, które powinno się wybierać możliwie wysokie.

mgr inż. Zbigniew Pędzik

Literatura:
FUNKAMATEUR 7/90

Detektor radarów

Sygnały radiolokacyjne są używane w nawigacji morskiej do odczytywania położenia i odległości statków w warunkach ograniczonej widoczności. Niestety, urządzenia radarowe są dosyć drogie i w rezultacie wielu posiadaczy małych jachtów nie może korzystać z "elektronicznego oka". Przy wykorzystaniu poniżej opisanego detektora załoga jest w stanie stosując podstawowe zasady nawigacji określić położenie własnej jednostki i odległość od innych statków.

Instalacje radarowe czynią możliwym obserwowanie dużych przestrzeni przy wykorzystaniu fal elektromagnetycznych. Nie jest niespodzianką, że większość urządzeń radiolokacyjnych jest produkowana dla lotnictwa, wojska i żeglugi. Ponieważ systemy radarowe zawierają nadajniki, mogą być one wykrywane, jeśli tylko pracują. Większość radarów emituje sygnały impulsowe o częstotliwości pomiędzy 2GHz i 12GHz i odbiera te sygnały, które są odbite od obiektów w kontrolowanym obszarze. Moc i opóźnienie echa są rejestrowane i wykorzystywane do określenia odległości od obiektu i wielkości jego płaszczyzny odbijającej. System pozwala na wykreślenie mapy obserwowanego terenu i badanie obiektów znajdujących się na nim.

Dla zastosowań nieprofesjonalnych (np. amatorskie jednostki pływające) radar jest często zbyt drogi. W rezultacie wielu miłośników wypoczynku na wodzie nie jest w stanie pływać w ulewnym deszczu i we mgle.

Opisany poniżej detektor jest tanim sposobem wykorzystania sygnałów radarowych wysyłanych przez duże jednostki pływające w celu zapobieżenia kolizji. Urządzenie jest również pomocne w określaniu położenia jednostki pływającej w warunkach ograniczonej widoczności. Wskaźnik LED zacznie świecić, wówczas odebrany zostanie "dosłyszalny" sygnał radiolokacyjny, co może być sygnałem, że zbliża się inny statek.

Pasma częstotliwości.

Ponieważ moc emitowana przez radar osiąga w szczycie impulsu kilowaty, zatem do wykrycia takiego promieniowania wystarczy stosunkowo prosty odbiornik.

Zakresy częstotliwości zarezerwowane dla systemów radiolokacyjnych są podane w tabeli 1.

Tabela 1.

Oznaczenie pasma	Nominalny zakres częstotliwości	Pasmo przyznane radiolokacji
VHF	30 - 300 MHz	138 - 144 MHz
UHF	300 - 1000 MHz	420 - 450 MHz
L	1 - 2 GHz	1.215 - 1.400 MHz
S	2 - 4 GHz	2.300 - 2.500 MHz
		2.700 - 3.700 MHz
C	4 - 8 GHz	5.250 - 5.925 MHz
X	8 - 12 GHz	8.5 - 10.68 GHz
Ku	12 - 18 GHz	13.4 - 14.0 GHz
K	18 - 27 GHz	24.05 - 24.25 GHz
Ka	27 - 40 GHZ	33.4 - 36.0 GHz
V	40 - 75 GHz	59 - 64 GHz
W	75 - 110 GHz	76 - 81GHz
		92 - 100 GHz
mm	110 - 300 GHz	126 - 142 GHz
		144 - 149 GHz

Tabela 2.

Typ jednostki pływającej	Szerokość wiązki [stopnie]	Wysokość anteny [metry]	Moc [kW]	Zasięg [mile morskie]
transport rzeczny	1.5°	4	5	2.5
jacht	3°	4	3	1.5
trawler	2°	6	10	3
statek żeglugi przybrzeżnej	1.5°	8	10	5
kontenerowiec / masowiec (pasmo X)	1°	30	50	8
kontenerowiec / masowiec (pasmo S)	3°	30	50	3

Systemy radarowe dla zastosowań żeglarskich i komunikacji morskiej pracują zwykle w paśmie X lub paśmie S.

Dokładniej w paśmie X w przedziale od 8.5GHz do 10.68GHz, a w paśmie S w dwóch przedziałach od 2.3GHz do 2.5GHz i od 2.7GHz do 3.7GHz.

Przedstawiony układ może pracować zarówno w paśmie S jak i w paśmie X, a zatem pokrywa swoim zakresem wszystkie konwencjonalne radary żeglarskie i komunikacji morskiej.

Efektywny zasięg radarów kontroli ruchu nawodnego zależy od mocy nadajnika i wysokości anteny. Tabela 2 wymienia najważniejsze cechy obecnie stosowanych systemów radarowych.

Należy zaznaczyć, że moc wysyłana jest w postaci impulsów, a nie wartości ciągłej. Właściwości nadajnika radaru określają zasięg "elektronicznego oka" (gdy nadajnik jest odłączony, odbiornik wyławia odbity sygnał). Częstotliwość powtarzania impulsów determinuje rozdzielczość radaru.

W praktyce zasięg systemu radarowego zależy od wielu czynników, z których najważniejszymi są:

- moc emitowana

- kierunkowość anteny

- charakterystyka propagacji w wybranym paśmie

- warunki atmosferyczne

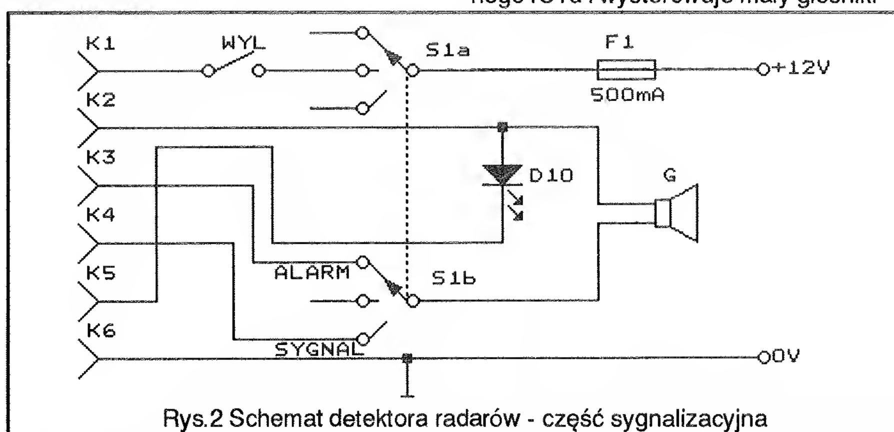
Częstotliwości wykorzystywane w radarach są na tyle duże, że można propagację ich sygnałów tłumaczyć w oparciu o powszechnie znane zasady rozchodzenia się fal świetlnych. To znaczy, iż radar nie może w zasadzie "widzieć" obiektu ukrytego za horyzontem. W praktyce: dyfrakcja, rozproszenie i częściowe odbicie od niektórych warstw atmosfery pozwalają systemom radarowym sięgać nieco za horyzont.

Opis układu

Schemat detektora sygnałów radiolokacyjnych przedstawiony jest na rysunkach 1 i 2.

Obwodem wysokiej częstotliwości jest właściwie tylko dioda 1N23 wraz z układem polaryzacji oraz szczątkowa antena, która ma za zadanie dopasowanie diody.

W celu uzyskania maksymalnej czułości przez diodę 1N23 powinien płynąć mały prąd przewodzenia. Jest on regulowany i ustalany przez tranzystor T1.



Rys.2 Schemat detektora radarów - część sygnalizacyjna

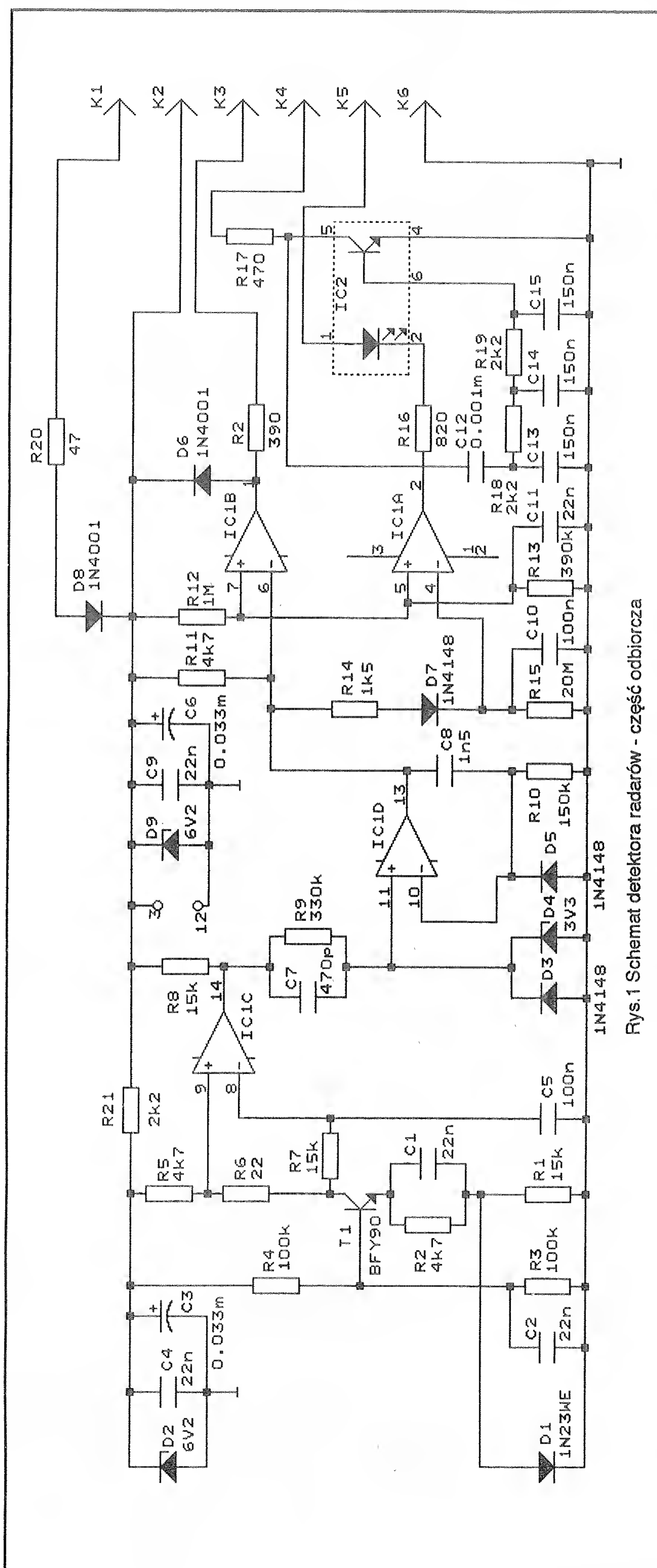
Prąd diody wzrasta znacznie, gdy odebrane zostaną sygnały o częstotliwościach radiolokacyjnych. W rezultacie impuls prądowy powoduje, że T1 przewodzi lepiej i zmiana przenosi się na jego kolektor. W ten oto sposób impulsowy sygnał radarowy zostaje przekształcony w ciąg impulsów, które są następnie obrabiane przez obwód niskiej częstotliwości. Częstotliwość impulsów i czas ich trwania zależą od parametrów systemu radarowego, którego sygnały odebrał detektor. Zasadniczo częstotliwość impulsów powinna się zawierać pomiedzy 400Hz i 4kHz.

Duże zmiany wartości prądu kolektora tranzystora T1 spowodują znaczny spadek napięcia na wejściu "+" wzmacniacza operacyjnego IC1c. Napięcie na wejściu odwracającym będzie bardziej ustalone dzięki kondensatorowi C5. Poziom napięcia na wyjściu wzmacniacza operacyjnego obniży się po odebraniu sygnałów radiolokacyjnych. Elementy: R9 i D4 ograniczają sygnał wyjściowy IC1c do wartości 3.3V.

Wzmacniacz operacyjny IC1d jest zastosowany w celu zamiany krótkich impulsów w sygnał o długości impulsów równej 1ms. Wyjście multiwibratora monostabilnego zbudowanego na IC1d jest dołączone do dwóch obwodów.

Wzmacniacz IC1c wzmacnia impulsy wychodzące ze wzmacniacza operacyjnego IC1d i wysterowuje mały głośnik.

Sygnał wychodzący z IC1d jest także podawany na detektor fazy, który składa się z: R14, R15, C10 i D7. Kondensator C10 jest ładowany przez R14 i D7 tak



Rys.1 Schemat detektora radarów - część odbiorcza

długo, jak na wyjściu IC1d istnieje dodatni impuls. Pojemność C10 może rozładować się tylko przez R15. Ponieważ R15 ma wartość znacznie większą niż R14, zatem C10 nie może rozładować się kompletnie. Gdy C10 jest naładowany do napięcia wyższego, niż istniejące na wejściu prostym, dioda LED transoptora IC2 świeci i na bazie tranzystora pojawiają się oscylacje. Wytworzony sygnał zasila głośnik i w tym samym czasie świeci dioda LED D10.

Przełącznik S1 można ustawić w pozycji, w której głośnik wytwarza dźwięk ciągły lub sygnalizuje wykrycie impulsów. Tym samym przełącznikiem możemy również włączyć lub wyłączyć detektor.

Napięcie zasilające jest filtrowane przez R20 i C11. Dioda D9 ogranicza napięcie zasilające układ scalony i zabezpiecza go przed włączeniem odwrotnej polaryzacji.

Napięcie polaryzujące diodę detekcyjną jest redukowane do około 8[V] przez D2 i R21, a kondensatory C11 i C3 zapewniają dodatkowe filtrowanie.

Budowa

Dioda detekcyjna musi być zamontowana po stronie ścieżek na płytce drukowanej w kształcie koła.

Punktem wymagającym staranności przy montowaniu jest styk miedzy diodą, a resztą urządzenia. Należy dołożyć starań, aby indukcyjność połączenia była najmniejsza (bardzo krótki przewód i pewny kontakt). Producent ułatwia zadanie konstruktorowi w ten sposób, że diody na zakres mikrofalowy mają często biały ceramiczny korpus i pozłacane miejsce służące do dołączenia. Niektóre diody mają styki wykonane z innych metali. W takim wypadku nie wolno zapomnieć o oczyszczeniu kontaktu.

Ponieważ diodę mikrofalową łatwo jest uszkodzić przez przegrzanie, nie należy nigdy wykonywać na niej połączeń lutowanych, a zastosować sprężystą oprawkę.

Odpowiednikiem diody 1N23 jest DC1504 firmy NEC. Antena detektora powinna być wykonana z 15-mm blachy, którą należy dołączyć do anody złącza.

Układ wraz z diodą musi być dopasowany przy pomocy metalowej przegrody z wykonanym w niej otworem (w ścianie czołowej). Otwór musi być wywiercony dokładnie na wysokości diody. Dzięki umieszczeniu diody w miejscu skupienia fal uzyskamy kierunkowość rzędu 25 °

W zależności od tego, którą z pozycji klucza S1 wybierzemy, głośnik będzie wytwarzał trzeszczenie, bądź dźwięk z przerwami ok. 1.5s.

Częstotliwość impulsów wysyłanych przez radar zależy od systemu. Zatem "trzeszczenie"

może mieć częstotliwość w przedziale 400Hz-4kHz.

Z uwagi na obroty anteny dźwięk (sygnał wykrycia radaru) nie będzie stały, lecz będzie miał postać krótkich "brumów".

Gdy antena radaru będzie wykonywała 22 obroty na minutę, dźwięk będzie powtarzany co około 3 sekundy. Lokalizacji źródła sygnałów można dokonać trzymając antenę detektora w ręku i wykonując nią wolne ruchy w płaszczyźnie horyzontu.

W modelu użyto układów: IC1-LM339, IC2-TIL111.

mgr inż. Witold Wrotek

Opracowano na podstawie
"ELEKTOR ELECTRONICS", MARCH 1991

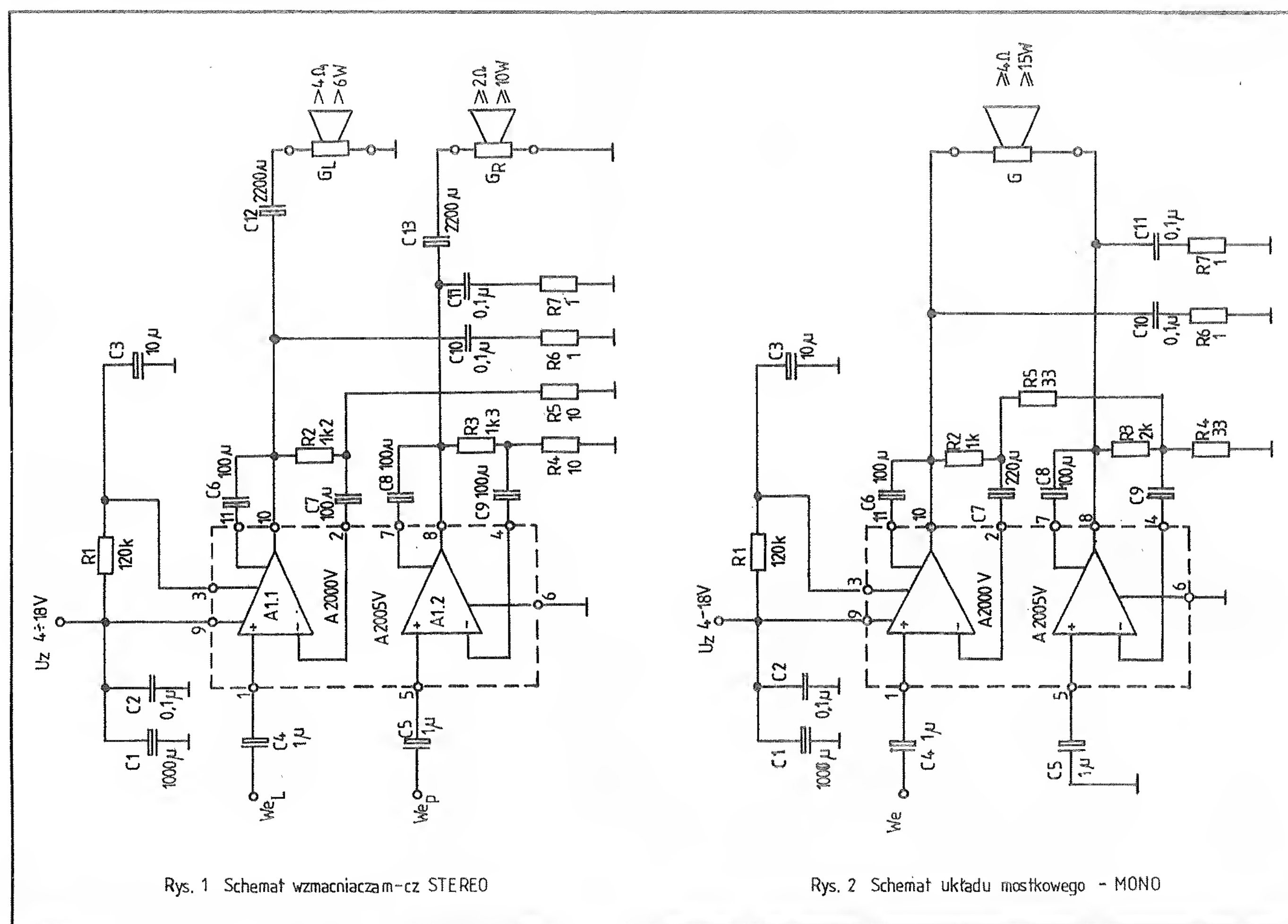
Wzmacniacz mocy na układzie A2000V/A2005V

Podwójny wzmacniacz mocy m.cz. A2000V/A2005V należy do nowej generacji scalonych wzmacniaczy mocy.

Na rys.1 pokazany jest układ scalony A2000V/A2005V w standartowej aplikacji jako wzmacniacz m.cz. STEREO. Rezystory R4 i R5 służą do regulacji (nastawienia) wzmocnienia i mogą być zmieniane w zakresie 10-47Ω. Dla uzyskania pełnego wysterowania, napięcie wejściowe powinno leżeć w zakresie od 20 do 55mV.

Na rys.2 pokazane jest zastosowanie wzmacniacza jako układ mostkowy MONO. Tutaj należy wziąć pod uwagę, że do pełnego wysterowania wzmacniacza,

cd. na str. 18



Rys. 1 Schemat wzmacniacza m-cz STEREO

Rys. 2 Schemat układu mostkowego - MONO

Mikrofon bezprzewodowy

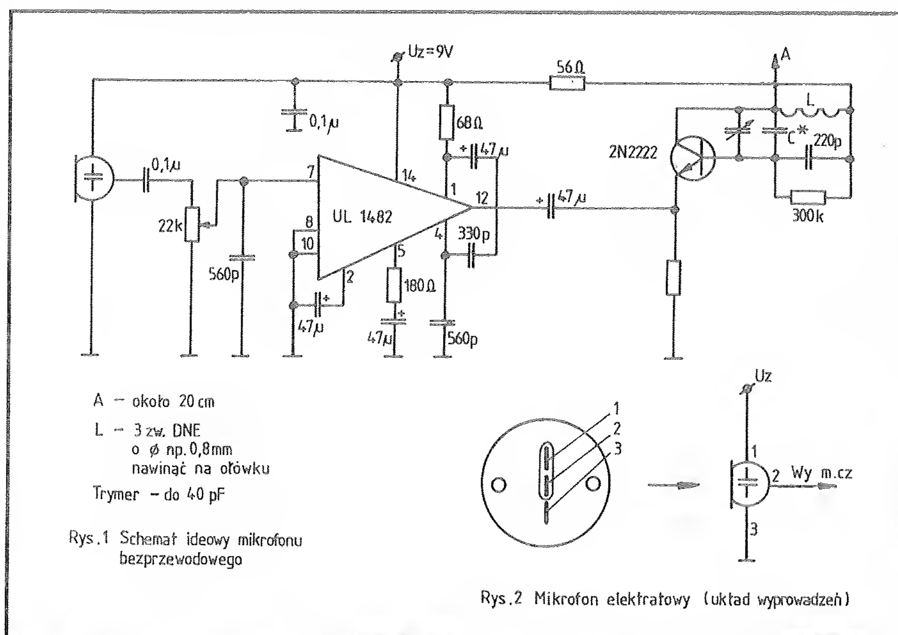
Na rys.1 przedstawiono schemat prostego nadajnika UKF, który zaopatrzony we wzmacniacz mocy m.cz. oraz mikrofon elektretowy może pracować jako mikrofon bezprzewodowy. Układ jest na tyle prosty, że może go zbudować początkujący elektronik. Jako odbiornik służy każde radio z zakresem fal ultrakrótkich. Emisja odbywa się w niewykorzystanym przez radiofonię zakresie UKF.

W obwodzie oscylatora może pracować prawie każdy tranzystor małej mocy m.cz. jak np.BC107, 2N2222. Warunki pracy w obwodzie nie przekraczają częstotliwości granicznej tych tranzystorów.

Jako wzmacniacz mocy m.cz. zastosowano układ UL1482. Pojemności kondensatorów elektrolitycznych zostały zmniejszone w celu zmniejszenia gabarytów urządzenia (nie jest potrzebne tu szerokie pasmo przenoszenia).

Zasilanie układu odbywa się z baterii 9V lub zasilacza sieciowego.

Jedynym problemem przy budowie układu jest zestrojenie nadajnika. W tym celu odbiornik radiowy ustawiamy w miejscu na skali, w którym chcemy aby pracował nasz układ (po stronie nie wykorzystanej przez programy PR). W głośniku będziemy słyszeć szum. Teraz należy włączyć zasilanie układu. Strojenie może odbywać się poprzez ściskanie (zmniejszanie częstotliwości pracy) lub rozciąganie (zwiększanie) cewki generatora. Jest to zgrubne nastrojenie. Dokładne wybranie częstotliwości pracy odbywa się poprzez regulację trymerem. W radioodbiorniku powinna być słyszana fala nośna. W przypadku gdy odbiór zanika w odległości około 10m, możemy być pewni, że słyszeliśmy częstotliwość harmoniczną, która niesie tylko część energii. Czynność strojenia należy powtarzać wielokrotnie do momentu, gdy odbiór będzie możliwy w odległości co najmniej 100m. Na terenach niezabudowanych, z wykorzystaniem zewnętrznej anteny radioodbiornika zasięg urządzenia może dochodzić do 1,5km (sprawdzono praktycznie). Długość anteny nadajnika może wahać się w granicach od kilku centymetrów do 1m (z pominięciem wszelkich zasad w tej dziedzinie).



Rys.1 Schemat ideowy mikrofonu bezprzewodowego

Rys.2 Mikrofon elektratowy (układ wyprowadzeń)

Na koniec należy przypomnieć, że użytkowanie urządzeń nadawczych wymaga zezwolenia Państwowej Inspekcji Radiowej.

Witold Dąbrowski

Autor artykułu dziękuje za współpracę Panu Andrzejowi Wrzeszczowi.

Asynchroniczny bufor FIFO

Przekazywanie informacji pomiędzy urządzeniami cyfrowymi pracującymi asynchronicznie napotyka na wiele trudności. Konieczne staje się stosowanie układów dopasowujących częstotliwość nadawania danych do możliwości odbiornika. Dzieje się to zazwyczaj kosztem wstrzymywania nadajnika w oczekiwaniu na potwierdzenie gotowości odbiornika. Problem jednak nie zostaje rozwiązany jeżeli wstrzymywanie nadajnika może spowodować zgubienie informacji lub gdy nie ma możliwości czasowego wstrzymywania pracy nadajnika. Błędy mogące wystąpić wskutek niedopasowania nadawania do możliwości odbioru przykładowo pokazuje rys.1. Zauważyć trzeba, że seria szybkich zmian 5, 6, 7, 8 zostanie błędnie odczytana ze względu na zbyt małą w stosunku do nadajnika szybkość odbiornika. Należałoby powiększyć możliwości odbiornika w zakresie odbioru serii szybkich impulsów. Zakładając, że serie takich szybkich impulsów mają ograniczoną długość (ograniczona ilość impulsów) oraz, że częstość występowania takich serii nie jest zbyt duża, można uzyskać 100% pewności odbioru. Z dalszej lektury wyjaśni się, że warunek na maksymalną ilość impulsów narzuca pojemność zastosowanego bufora, a warunek na częstość występowania zależy nie tylko od odbiornika ale również od pojemności bufora. W sytuacjach opisanych powyżej zastosowanie jako bufora pomiędzy układami asynchronicznymi rejestru FIFO (ang.first in/first out) znacznie ułatwia współpracę.

Układy rejestrów FIFO umożliwiają asynchroniczną pracę wejścia i wyjścia. Możliwe staje się zapisanie serii szybkich zmian, a odczytanie tych informacji może odbywać się ze znacznie niższą częstością. Oczywiście pojemności rejestrów są ograniczone lecz istnieją proste sposoby rozbudowy i powiększania pojemności co może dodatkowo zwiększyć możliwości tych układów.Jako przykłady rejestrów FIFO należy wymienić układy PC74HC/HCT40105 o pojemności 16 słów x 4 bity, oraz PC74HC/HCT7030 o pojemności 64 słów x 9 bitów, rys.2. Są to układy produkowane przez firmę PHILIPS. Nie są one powszechnie dostępne na polskim rynku, jednak przy dzisiejszych możliwościach nawiązywania kontaktów, wyjazdów są możliwe do zdobycia.

Charakterystyczne cechy układów rejestrów FIFO:

* niezależne asynchroniczne wejścia i wyjścia danych,

* możliwość rozszerzania długości słowa i pojemności rejestru poprzez proste łączenie układów,

* możliwość zerowania-ustawienie stanu początkowego w dowolnym momencie,

typ serii / 74HCT...	TTL	LS	FAS
standartowe wyj. bramki	2 wej.	10 wej.	6 wej.
wyjście bramki bufora	3 wej.	15 wej.	10 wej.

* sygnalizowanie stanu wejścia i wyjścia,

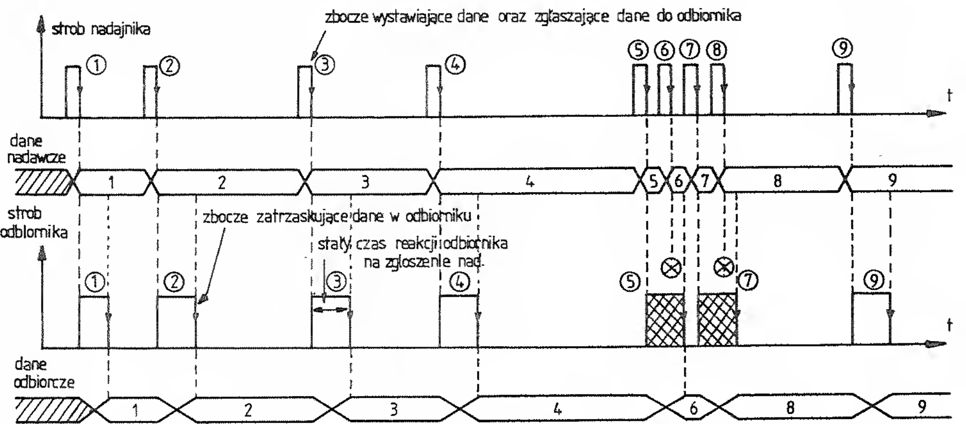
* wyjścia trójstanowe,

* obciążalność wyjść-standartowa-Tabela 1.

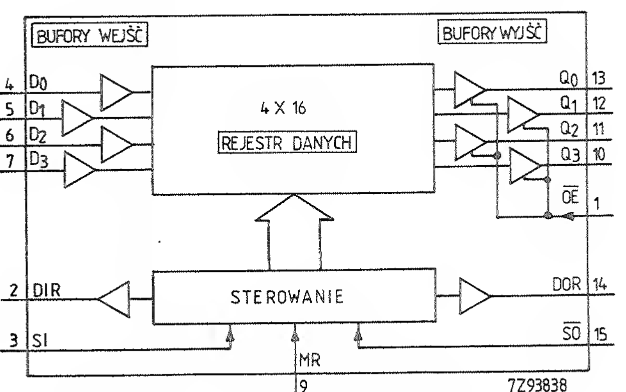
Układy przedstawione na rys.2 praktycznie różnią się jedynie pojemnością oraz długością słowa. Poza tym układ 40105 jest nieznacznie szybszy co wynika z mniejszych rozmiarów bufora pamięciowego. Maksymalna częstotliwość zapisu i odczytu jest jednakowa. Dla 40105 f_{max}=31MHz, dla 7030 f_{max}=29MHz.

Opis działania układu 74HC/HCT40105.

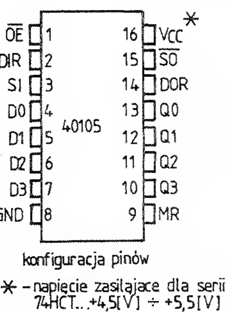
Układ 74HC/HCT40105 jest to bufor pamięciowy typu FIFO (ang.first-in/first-out) mogący przechowywać 16 słów 4 bitowych rys.3. Każde słowo ma swój rejestr. Rejestry są ustawione w szeregu tworząc

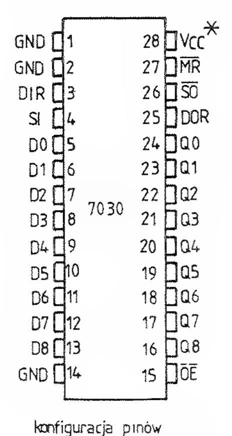


Rys. 1 Nieprawidłowa synchronizacja układów asynchronicznych.

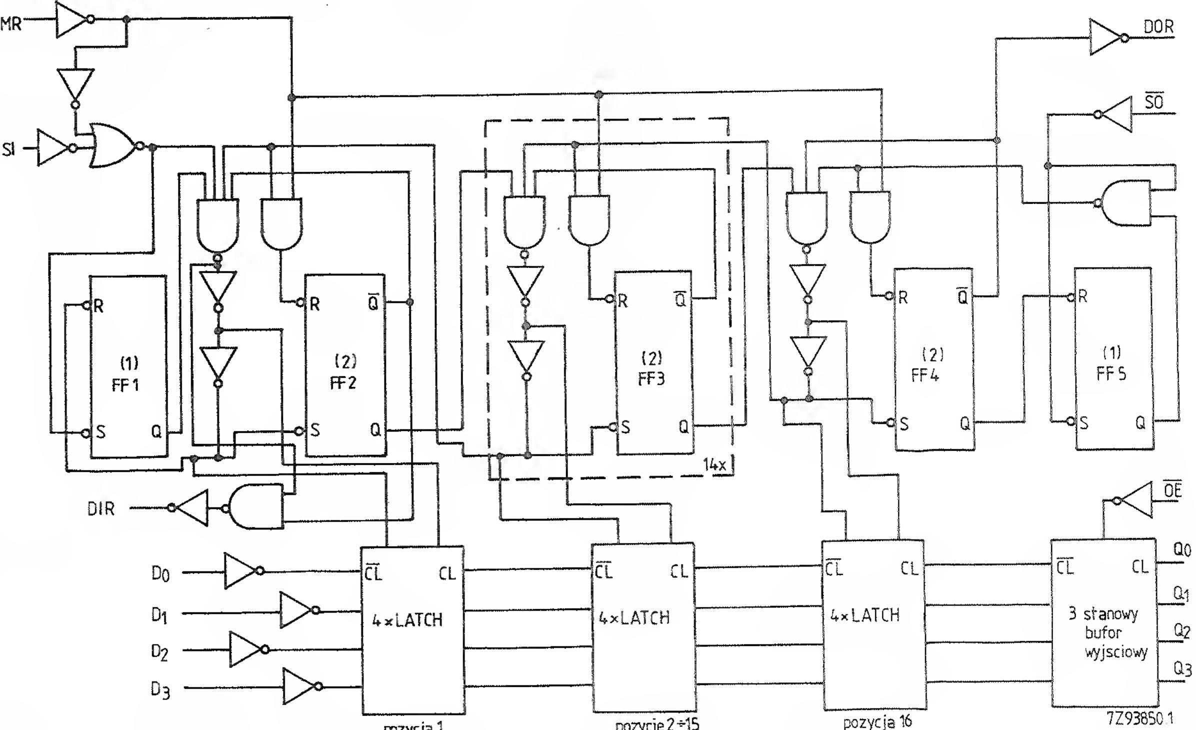


Rys. 3 Blokowy schemat wewnętrznej struktury układu 40105





Rys. 2 Układ logiczny FIFO



Rys. 4 Struktura wewnętrzna układu 40105
UWAGI (1) "0" na wejściu $\overline{S}$ układów FF1 i FF5 ustawia wyjście Q w stan "1" niezależnie od stanu na wejściu R
(2) "0" na wejściu $\overline{R}$ układów FF2, FF3 i FF4 ustawia wyjście Q w stan "0" niezależnie od stanu na wejściu $\overline{S}$.

kolejkę. Każdy rejestr wystawia swój status oraz czyta status poprzednika. Rys.4. Stan "1" oznacza zajętość rejestru, "0" oznacza, że rejestr jest pusty. Rejestr, który wykrywa status poprzednika równy "1" oraz sam wystawia status "0" generuje impuls powodujący przepisanie słowa z poprzednika do siebie. Jednocześnie ustawia swój status w stan "1" informując rejestr następny, że jest słowo do odebrania oraz gasi status poprzednika. W ten sposób zorganizowana logika układu powoduje, że wpisanie słowa do bufora powoduje samoczynne "wędrowanie" tego słowa w kierunku końca kolejki aż do napotkania ostatniego pustego miejsca. Dzięki takiej organizacji wpisanie pierwszego słowa do pustego bufora powoduje ustawienie flagi DOR (ang.data out ready). Flaga DOR jest po prostu statusem ostatniego rejestru w kolejce FIFO. Zapalenie flagi DOR sygnalizuje gotowość do przekazania danych (już po pierwszym wpisie). Kolejne wpisy (zboczem "0→1" na SI) powodować będą wypełnianie bufora czyli zapisywanie kolejnych rejestrów kolejki do wyjścia. W momencie wpisania ostatniego 16-tego słowa, pierwszy rejestr kolejki wystawi swój status zajętości i na wyjściu układu flaga DIR (ang.data in ready) ustawi się w stan "0". Rys.5. Próby wpisywania do pełnej kolejki są ignorowane i nie przynoszą żadnych zmian. Pojawienie się zbocza "1→0" na wejściu $\overline{SO}$ spowoduje przepisanie słowa z ostatniego rejestru do trójstanowego bufora wyjściowego. Wówczas status ostatniego rejestru zmienia się na "0" (rejestr pusty) co powoduje (jako, że status poprzedniego przedostatniego rejestru jest "1") przepisanie do niego słowa danych z poprzedniego rejestru i jednocześne zapalenie swojego statusu zajętości DOR="1", oraz zgaszenie statusu zajętości rejestru poprzednika. W ten sposób wolne miejsce przesunęło się do początku (do wejścia) o 1 pozycję. Dalej wszystko będzie przebiegać analogicznie jak wyżej. Określa się ten proces jako bąbelkowanie (ang.bubble-up). Po dotarciu wolnego miejsca do pierwszego rejestru zapali się status tego rejestru co zobaczymy na zewnątrz jako ustawienie flagi DIR na "1". Dla układów zewnętrznych oznaczać to będzie gotowość układu do przyjęcia kolejnego słowa. Następne impulsy na $\overline{SO}$ powodować będą opóźnienie kolejki aż do momentu gdy ostatnie słowo zostanie wypchnięte do bufora wyjściowego. Wówczas flaga DOR ustawi się na "0" (ostatni rejestr wolny) co oznacza brak danych w kolejce bufora rys.6. Ostatnie słowo zostaje zatrzaśnięte w buforze wyjściowym i będzie zawsze odczytywane przy czytaniu wyjścia, oczywiście do momentu gdy wprowadzimy nowe słowo do kolejki i wepchniemy je impulsem na $\overline{SO}$ do bufora wyjściowego.

Tabela 2. Opis wyprowadzeń układów rejestru FIFO

Symbol	Nazwa I Funkcja
$\overline{OE}$	(ang. output enable) - wej. - otworzenie bufora wyj. (aktywny poziom niski)
DIR	(ang. data in ready) - wyj. - gotowość wejścia danych
SI	(ang. shift in) - wej. - wpisywanie danych zboczem "0"→"1"
D_0 do D_n	równoległe wejścia danych (n=3 dla 40105; n=8 dla 7030)
MR	(ang. master reset) - wej. - asynchroniczny reset (aktywny poziom "0" dla 7030, "1" dla 40105)
Q_0 do Q_n	3 stanowe równoległe wyjścia danych (n=3 dla 40105; n=8 dla 7030)
DOR	(ang. data out ready) - wyj. - gotowość wyjścia danych
$\overline{SO}$	(ang. shift out) - wej. - odczytywanie danych zboczem "1"→"0"

Opis wyprowadzeń układu 40105.

D0 do D3-wejścia. Cztery bity wejściowe. Rozmiar słowa można redukować poprzez połączenie nie używanych wejść do GND lub V_{CC}. W ten sposób otrzymać możemy układ 16x3, 16x2, 16x1.

Q0 do Q3-wyjścia. Cztery bity wyjściowe. Wyjścia są trójstanowe, otwierane sygnałem $\overline{OE}$="0". Również dla wyjść można redukować rozmiar słowa. Wyjścia, które nie są używane muszą pozostać wiszące.

MR (ang.master reset)-wejście zerujące.

Podczas MR="1", wszystkie statusy kontrolne wewnątrz układu (statusy zajętości wszystkich wewnętrznych rejestrów) są ustawiane w stan "0". Rys.4. Powoduje to unieważnienie wszystkich słów wewnątrz kolejki. Flaga DIR ustawia się w stan "1", natomiast flaga DOR w stan "0". Stan bufora wyjściowego nie ulega zmianie, pozostaje w nim zawartość ostatniego wpisanego słowa impulsem $\overline{SO}$ lub, jeśli MR="1" wystąpi po włączeniu zasilania, stan bufora wyjściowego jest nieokreślony i przypadkowy.

DIR (ang.data in ready) wyjście-gotowość do wczytywania danych.

DIR="1" układ jest gotowy do przyjęcia danych, czyli ma wolne miejsce (miejsca) w kolejce FIFO.

DIR="0" kolejka FIFO jest pełna, lub ostatnio wykonywana operacja wpisywania nie jest jeszcze zakończona (trwa wędrowanie słowa).

DOR (ang.data out ready) wyjście-gotowość do wyprowadzenia danych.

DOR="1" informuje, że w kolejce czeka (minimum) jedno słowo.

UWAGA! Nie oznacza to jednak, że czytanie wyjść układu spowoduje odebranie wpisanego słowa. Należy przedtem wypchnąć to słowo z kolejki do bufora wyjściowego impulsem $\overline{SO}$.

DOR="0" informuje, że kolejka jest pusta lub trwa czytanie słowa.

SI (ang.shift in) wejście sterujące wpisywaniem do kolejki.

Słowa ładowane są do kolejki zboczem dodatnim "0→1" na SI. Załadowane słowo automatycznie zajmuje ostatnią wolną pozycję w kolejce. Jeśli SI="1" podczas impulsu zerującego MR wówczas dane będą wpisane ujemnym zboczem na MR "1→0".

$\overline{SO}$ (ang.shift out) wejście sterujące wypychaniem do bufora wyjściowego.

Dodatnie zbocze na $\overline{SO}$ "0→1" spowoduje zgaszenie flagi DOR.

Ujemne zbocze na $\overline{SO}$ "1→0" spowoduje wpisanie słowa z ostaniego rejestru kolejki do bufora wyjściowego co zapoczątkuje bąbelkowanie (ang.bubble-up) wolnego miejsca w kierunku wejścia.

$\overline{OE}$ (ang.output enable) wejście sterujące trójstanowym buforem wyjściowym.

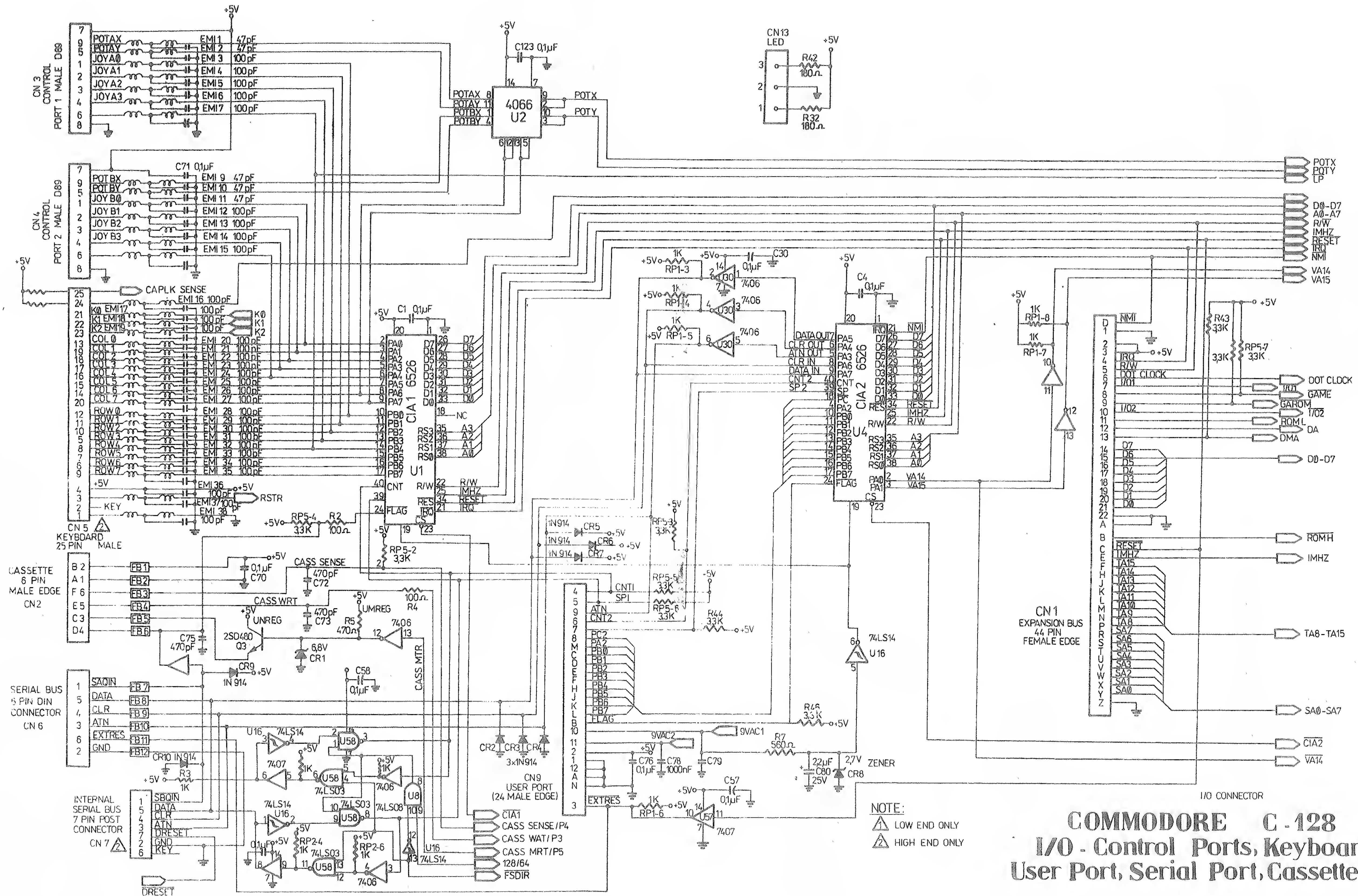
$\overline{OE}$="0" otwarcie wyjść Q0 do Q3.

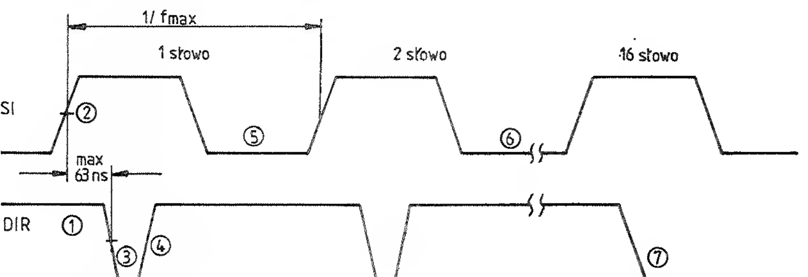
$\overline{OE}$="1" wyjścia Q0 do Q3 w stanie wysokiej impedancji (trzeci stan).

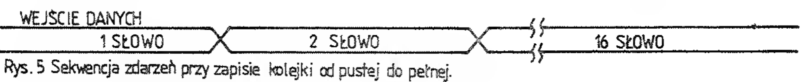
Opis funkcjonalny układu 40105.

Po włączeniu zasilania dodatni impuls na wejściu MR zeruje kolejkę FIFO. Flaga DIR zapala się pokazując, że układ jest gotowy do przyjęcia danych. Podczas DIR="1",aktualne słowo D0 do D3 może być wepchnięte do kolejki, wejściem wpisującym SI. Po podniesieniu się SI dane są przesuwane wewnątrz FIFO i flaga DIR ustala się na "0" pokazując zajętość rejestru wejściowego. Podniesienie się DIR oznajmia, że dane zostały przepisane z rejestru wejściowego i rozpoczęły

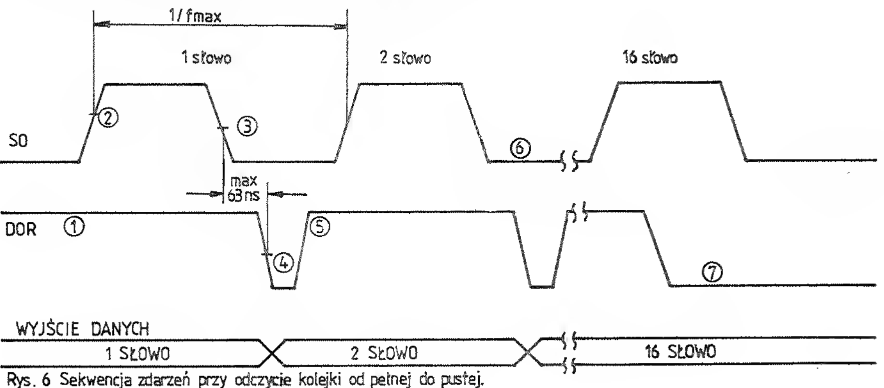
cd. na str. 14


COMMODORE C-128
I/O - Control Ports, Keyboard, User Port, Serial Port, Cassette Port
CN 3 CONTROL PORT 1 MALE D89
CN 4 CONTROL PORT 2 MALE D89
CN 5 KEYBOARD 25 PIN MALE
CASSETTE 6 PIN MALE EDGE CN2
SERIAL BUS 6 PIN DIN CONNECTOR CN 6
INTERNAL SERIAL BUS 7 PIN POST CONNECTOR CN 7
CN9 USER PORT (24 MALE EDGE)
CN1 EXPANSION BUS 44 PIN FEMALE EDGE
CN13 LED
4066 U2
CIA1 6526 U1
CIA2 6526 U4
I/O CONNECTOR
NOTE:
LOW END ONLY
HIGH END ONLY
POTX
POTY
LP
D0-D7
A0-A7
R/W
1MHZ
RESET
IRQ
NMI
VA14
VA15
DOT CLOCK
GAME
I/O2
DA
DMA
ROMH
TA8-TA15
SA0-SA7
CIA2
CIA1
CASS SENSE/P4
CASS WAT/P3
CASS MRT/P5
128/64
FSDIR
DRESET

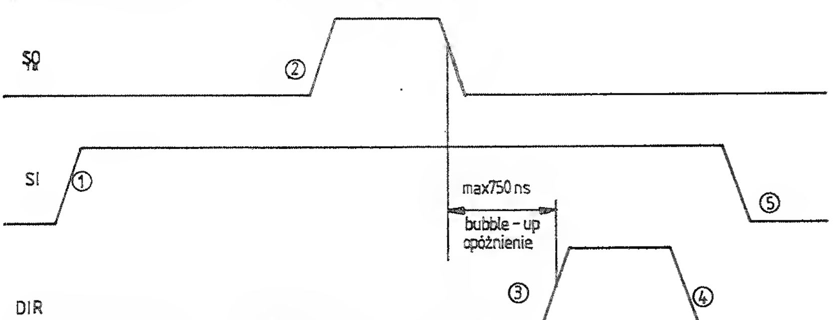




Rys. 5 Sekwencja zdarzeń przy zapisie kolejki od pustej do pełnej.



Rys. 6 Sekwencja zdarzeń przy odczycie kolejki od pełnej do pustej.

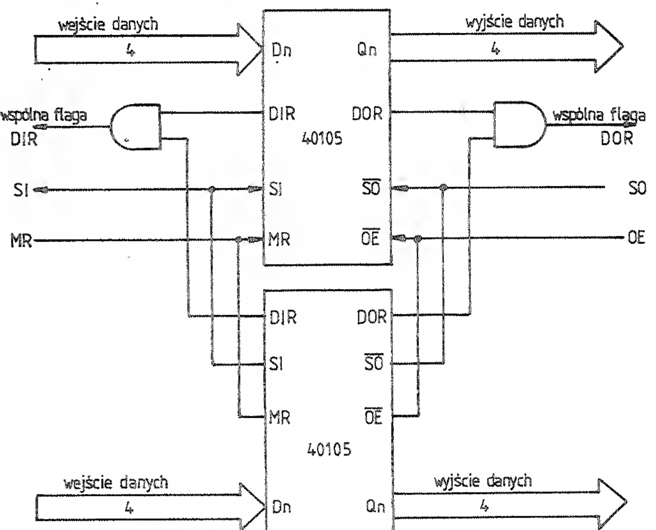


Rys. 7 Sekwencja zdarzeń przy podniesieniu się SI dla pełnej kolejki FIFO.

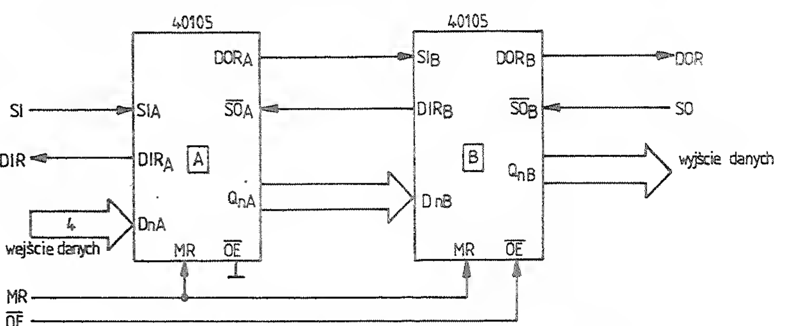
UWAGI
1. SI podnosi sie, ale FIFO jest pełna (DIR = Ø)
2. impuls $\overline{SO}$ wypycha ostatnie słowo z kolejki proces bąbelkowania pustego miejsca rozpoczyna się (bubble-up opóźnienie)
3. DIR podnosi się kiedy puste miejsce powstałe na końcu kolejki osiągnie początek kolejki
4. DIR opada, FIFO znów jest pełne
5. SI opada konieczne do zakończenia procesu przesuwania. DIR pozostaje w stanie Ø ponieważ kolejka FIFO jest pełna.

do rys.5 UWAGI
1. Stan początkowy DIR = 1, FIFO gotowe do przyjęcia danych.
2. zapalenie SI powoduje ładowanie jednego słowa i przepychanie go do wyjścia
3. DIR opada, stan zajętości wejścia
4. DIR podnosi sie, FIFO gotowe do przyjęcia danych
5. SI opada, konieczne do zakończenia procesu przesuwania
6. powtarzanie procesu ładowania
7. DIR opada po 16 wpisie sygnalizując zajętość kolejki, podczas próby wpisania do pełnej kolejki nie ma przyjęcia danych

do rys.6 UWAGI
1. DOR = 1, FIFO gotowe do wyprowadzenia danych
2. $\overline{SO}$ podnosi się
3. $\overline{SO}$ opada; kolejka jest rozładowana i puste miejsce wędruje do wejścia.
4. DOR = Ø, stan zajętości wyjścia kolejki
5. DOR podnosi się zakończenie procesu przesuwania wewnątrz kolejki
6. powtarzanie procesu odczytywania
7. DOR opada pokazując, że kolejka FIFO jest pusta



Rys. 8 Połączenie dwóch układów w celu zwiększenia długości słowa; 16 słów × 8 bitów



Rys. 9 Połączenie dwóch układów w celu zwiększenia pojemności; 32 słowa × 4 bity

cd. ze str. 11

proces przesuwania w kierunku wyjścia do ostatniej wolnej pozycji. Zapalenie się flagi DIR oznacza, że kolejka układu nie została zapełniona i następna dana może zostać załadowana. Jeżeli natomiast flaga DIR pozostanie w stanie "0" oznaczać to będzie, że kolejka FIFO jest zapełniona. Dla pełnej kolejki DIR="0" wejście SI po podniesieniu musi trzymać swój stan dopóki wejście $\overline{SO}$ nie spowoduje pobrania. Rys.7.Flaga DOR w stanie wysokim pokazuje, że kolejka FIFO zawiera dane. Zmiana stanu $\overline{SO}$ z "0→1" powoduje wysunięcie słowa danych z kolejki i wepchnięcie do bufora wyjściowego - spowoduje to zgaszenie flagi DOR. Zmiana $\overline{SO}$ z "1→0" powoduje proces przesuwania wewnątrz i ustawienie flagi DOR w stan "1" jeśli są jeszcze dane w kolejce lub DOR=0, gdy kolejka FIFO jest pusta.

Praca impulsowa na dużej szybkości (ang.high speed burst mode).

Jeśli przyjmiemy, że SI, $\overline{SO}$ nie są używane dopóki flagi odpowiednio DIR, DOR nie będą ważne, wówczas prędkość zapisu i odczytu będzie zależna od prędkości ustawiania flag DIR i DOR. Jednak bez względu na statusy flag DIR i DOR można zastosować układ do pracy w trybie impulsowym (ang.burst mode). W trybie tym szybkość zapisu i odczytu jest zdeterminowana przez szerokość impulsów SI, $\overline{SO}$ i maksymalną częstotliwość impulsowania do 35MHz. Impuls zapisu SI może być doprowadzony bez przeglądania statusu DIR, należy jednak pamiętać, że te impulsy SI, które wywołałyby przepełnienie objętości są ignorowane i nie powodują zapisu.

Możliwość łączenia układów.

Dodając bramki logiczne można połączyć dwa układy 40105 tak, aby uzyskać długość słowa równą 8 bitów. W prosty sposób można więc uzyskać układ FIFO 16 słów x 8 bitów. Rys.8. Wszystkie podstawowe operacje i czasy są identyczne jak dla pojedynczego układu. Należy jedynie uwzględnić dodatkowe opóźnienie wnoszone przez bramki dla ustawienia flag DIR, DOR, które może mieć znaczenie dla wyższych częstotliwości. W prosty sposób można również zwiększyć pojemność kolejki FIFO łącząc układy bez dodatkowych bramek. Rys.9 pokazuje jak uzyskać FIFO 32 słowa x 4 bity. Stosując różne sposoby łączenia możemy w prosty sposób uzyskać bufor FIFO o wymaganej długości słowa i pojemności. Wszystkie uwagi i zasady przedstawione dla układu 40105 - FIFO 16 słów x 4 bity są obowiązujące dla układu 7030 - FIFO 64 słowa x 9 bitów.

mgr inż. Aleksander Rode

Opracowano na podstawie:
[1] PHILIPS Data Handbook - Electronic components and materials Integrated circuits - Book IC06 1988
[2] "High - speed CMOC PC74HC/HCT/HCU logic family"

Krótki przegląd rodziny TTL i CMOS

W krajach rozwiniętych technologicznie od dawna stosowane są układy CMOS ze względu na swoje znakomite własności (np.charakterystyka przejściowa bramki bliska ideału, znikomy prąd wejściowy). Zostały również zauważone w Polsce i są coraz częściej stosowane. Żeby dokonać właściwego wyboru układu scalonego w konkretnym przypadku, trzeba zdawać sobie sprawę z ich różnorodności i własności. Dlatego przypominamy i porównujemy rodziny układów scalonych wykonanych w technologii TTL i CMOS. Odpowiednie zestawienia są dokonane w tabelach 1, 2, 3.

Trochę wyjaśnień o układach CMOS.

Pierwszymi układami tego typu były produkty firmy RCA oznaczone CD4000A. Miały zabezpieczenia elektrostatyczne do 1kV i niebuforowane wyprowadzenia. Drugą serią, udoskonaloną i powszechnie stosowaną jako standardowe układy CMOS, jest CD4000B (odpowiednik naszego CEMI MCY74000). Mają bardzo mały pobór mocy (zależny od częstotliwości), wysoką odporność na zakłócenia statyczne (45% V_{oc}), duży zakres napięć zasilających 3-18V, buforowane wyjścia, zabezpieczenia elektrostatyczne do 4kV. Nie należy więc zadowalać się zapewnieniem sprzedawcy części elektronicznych, że "CMOS-y są już zabezpieczone", lecz na wszelki wypadek stosować odpowiednie zasady posługiwania się nimi. Zabezpieczenia te wprowadzają dodatkowe ograniczenia. Są wykonane w postaci diód na wejściach układu i mogą prowadzić do wystąpienia zjawiska "zatrzaskiwania" (latch-up) układu, czyli jego zniszczenia na skutek przepływu dużego prądu w wyniku zwarcia napięcia zasilania do masy. Sytuacja taka powstaje, gdy dioda zabezpieczająca zostanie spolaryzowana w kierunku przewodzenia i popłynie wystarczająco duży prąd otwierający, istniejący w strukturze, pasożytniczy tyrystor, który zwiera wówczas zasilanie z masą. Dlatego należy spełnić warunek, aby napięcie na wejściu układu nie przekraczało nigdy napięcia zasilania, a jeśli nie można tego wykluczyć, to przynajmniej ograniczyć prąd do 10mA. Jest także technologia wykonania, gdzie zjawisko to nie występuje. W tym przypadku podłoże jest izolowane od bramki tlenkiem-dielektrykiem, a nie złączem p-n. Tak samo, wg producenta, układy PC74HC Philipsa są wolne od latch-up.

Standardowe układy CMOS są jednak dość wolne-czas propagacji bramki rzędu 30-50ns (zależnie od napięcia zasilania i pojemności obciążenia C_L). Opracowano więc w oparciu o technologię bramki krzemowej (w przeciwieństwie do dotychczasowej bramki metalowej) układy szybkie CMOS: HCMOS-High speed CMOS. Łączą one najlepsze własności techniki CMOS i TTL:

* straty mocy do 10MHz mniejsze niż LS-TTL,

* czas propagacji rzędu 8-10ns,

* większy (niż TTL) margines zakłóceń,

* duży zakres napięć zasilających (2-6V HC, 4,5-5,5 HCT),

* zgodność wyprowadzeń i funkcji z TTL co umożliwia bezpośrednią zamianę (seria HCT ma poziomy logiczne we/wy zgodne z TTL),

* oznaczenie 74HCXX, 74HCTXX.

Najnowocześniejszą rodziną CMOS są obecnie układy serii ACL (Advonces CMOS Logic), z których najbardziej znanym przedstawicielem jest szereg FACT (Fairchild Advanced CMOS Technology). Układy te są prawie tak szybkie jak ECL, mają bardzo niewielki pobór mocy do wysokich częstotliwości i wykazują bardzo dobre własności sterujące. Występują w formie zgodnej z TTL (74ACT), a także w specjalnej, o dużym marginesie zakłóceń (74AC). Dalsze dane:

* U_{cc}=2-6V, przy czym charakterystyki są podawane dla 3,3V i 5V,

* pobór mocy 0,0025mW/bramkę,

* czas propagacji bramki 1-2ns (HC/HCT 6,5ns min.),

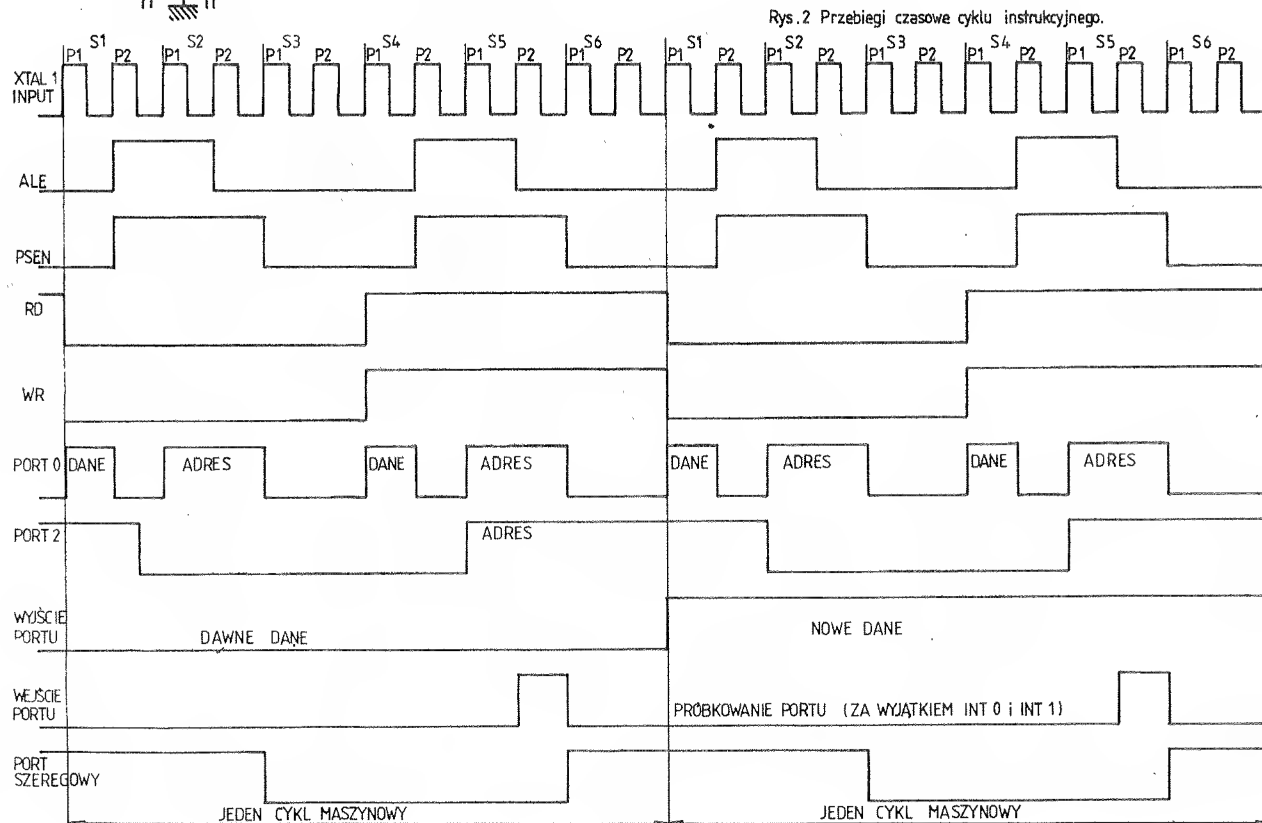
* częstotliwość taktowania do 160MHz, * bezpośrednie sterowanie linii o inpedancji 50Ω,

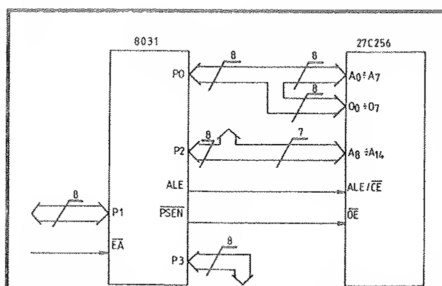
* margines zakłóceń 30% V_{cc} (lepszy od HC/HCT).

Rys. 1 Schemat blokowy mikrokontrolera

P0.0 - P0.7
P2.0 - P2.7
VCC
VSS
PORT 0
PORT 2
REJESTR ADRESOWY
RAM 128 × 8
ZATRZASK PORTU 0
ZATRZASK PORTU 2
16
ROM 4k×8
16
REJESTR ADRESÓW PROGRAMU
REJESTR B
AKUMULATOR
WSKAŹNIK STOSU
BUFOR
TMP 2
TMP 1
INKREMENTER LICZNIKA PROGRAMU
8
ALU
WSKAŹNIK ADRESU ZEWNĘTRZNEJ PAMIĘCI
REJESTRY FUNKCJONALNE
REJESTR FLAGOWY
LICZNIK PROGRAMU
PSEN
ALE
EA
RST
ZEGAROWANIE I KONTROLA
REJESTR INSTRUKCJI
ZATRZASK PORTU 1
ZATRZASK PORTU 3
OSC.
PORT 1
PORT 3
XTAL 1
XTAL 2
P1.0 - P1.7
P3.0 - P3.7

Rys. 2 Przebiegi czasowe cyklu instrukcyjnego.



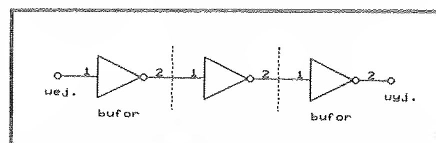


Rys.3 Współpraca mkro. z zewnętrzną pamięcią.

Wartości charakterystyczne dla V_{CC}=3,3V mają znaczenie perspektywiczne. Wydaje się, że przyszłe duże pamięci scalone (od 4MB) będą pracować prawdopodobnie przy napięciu 3,3V. Pozwoli to na znaczne zredukowanie poboru mocy.

celu optymalizacji działania zalecany jest R_{pullup}~ 2kΩ. Innym sposobem połączenia jest użycie układu HCT jako pośredniczącego, np.74HCT08. Serie 74C, 74HC, CD4000 mają pełną zgodność poziomów logicznych we/wy (oczywiście przy takim samym V_{CC}). Można je łączyć ze sobą bezpośrednio. Mogą zatem być użyte do sprzęgania z obwodami CMOS-LSI, jak np.mikroprocesory 80C48, NSC800.

Dla porównania własności układów CMOS przedstawiamy dane odpowiednika 7404TTL wykonanego różnymi technologiami przez firmę National Semiconductors.



Oznacza to, wg przyjętego standardu, że US zawiera przynajmniej 2 aktywne stopnie. Wówczas wzmocnienie między wejściem a wyjściem jest na tyle wysokie, że impedancja wyjściowa jest niezależna od poziomów logicznych na wejściach oraz ich kombinacji. Jednocześnie zapewnia to dużą odporność na zakłócenia statyczne, dając prawie idealną charakterystykę przejściową. Układy buforowane to 74HC, 74HCT, CD4000B. Niebuforowane (74HCU, CD4000UB) mają parametry zależne od warunków na we/wy i mogą być zastosowane w oscylatorach RC lub krystalicznych i innych obwodach ze sprzężeniem zwrotnym pracującym liniowo.

V_{CC} [V]	Układy	Czas propagacji [ns] V_{CC} ±5V	Obciążalność	V_{CC} [V]	C_{IN} [pF]	I_{IN} [pA]	V_{IN},V_{OUT} [V]	$V_{IL\,max}$ [V]		$V_{IH\,min}$ [V]		$V_{OL\,max}$ [V]	$V_{OH\,min}$ [V]	Uwagi
								min *	typ	max *	typ			
5	CD4009	15,C_L=15pF	4mA	3-15	5	10	0-V_{CC}	1	2.25	3.5	2.75	0.01	4.99	niebuforowany
	MM74C04	50,C_L=50pF	1,75nA	3-15	6	5,V_{CC}=15V	0-V_{CC}	1		4		0.4(360µA)	2.4(-360µA)	niebuforowany
4.5	MM74HC04	8,C_L=15pF	10 LS TTL	2-6	5	100	0-V_{CC}	1.35		3.15		0.26	3.98	buforowany
	MM74HCU04	7,C_L=15pF	15 LS TTL	2-6	8	100	0-V_{CC}	0.8		3.6		0.26	3.98	niebuforowany
	MM74HCT04	10,C_L=15pF	10 LS TTL	4.5-5.5	5	100	0-V_{CC}	0.8		2.0		0.26	3.98	buforowany

t_A=25°C

t_r=t_f=6ns

* są to wartości, dla których producent gwarantuje poprawne działanie; układy zwykle akceptują poziomy logiczne wyższe (niższe) ze względu na duże marginesy zakłóceń.

UWAGA. Z reguły układy CMOS mają we/wy buforowane:

Sprzęganie różnych rodzin układów scalonych.

Podstawowe sposoby są podane w tabeli 4 oraz przedstawione poglądowo na rysunkach (uwzględniono dodatkowo układy ECL). Użyteczny zakres rezystora podwyższającego jest przedstawiony na wykresie. Jeżeli jeden układ TTL steruje jeden układ CMOS (V_{CC}=5V), wartość rezystora należy wybrać z lewej osi odpowiadającej zerowemu obciążeniu w LSTTL. Jest to zakres 350Ω-15kΩ. W

mgr inż. Robert Krzysztofek

Opracowano na podstawie:

1.RFE 10/88 Berlin 37.

2.Philips Data Handbook IC06/88

← Tabela 1. Rodziny US - TTL

Rodziny TTL	Średni czas propagacji bramki [ns]	Średnie straty mocy na bramkę [mW]
Standart TTL (74)	10	10
Low Power TTL (74L)	33	1
Hib Speed TTL (74H)	6	22.5
Schottky TTL (74S)	3	20
Low Power Schottky TTL (74LS)	9	2
Adranced Schottky TTL (74AS)	1.5	8.5
Fairchild Adranced Scottky TTL (74F,FAST)	2	4
Adranced Low Power Schottky TTL (74ALS)	4	1

↓ Tabela 4. Sprzęganie różnych rodzin US

* lub układ HE4104 (HE - pierwsza seria CMOS z bramką krzemowa

	HC (5V)	HCT (5V)	CMOS (5V)	CMOS(6-15V)	TTL	ECL
HC (5V)	bezpośrednie	bezpośrednie	bezpośrednie	74C906; R*	bezpośrednie	10124
HCT (5V)	bezpośrednie	bezpośrednie	bezpośrednie	74C906; R*	bezpośrednie	10124
CMOS (5V)	bezpośrednie	bezpośrednie	bezpośrednie	74C906; R*	bezpośrednie	10124
CMOS(6-15)V	4050	4050	4050	bezpośrednie	4050	tranzystor
TTL	$R_{PULL-UP}$	bezpośrednie	$R_{PULL-UP}$	74C906; R*	bezpośrednie	10124
ECL	10125	10125	10125	tranzystor	10125	pośrednie

Tabela 2. Własności* poszczególnych rodzin układów scalonych (V_{CC}=5V)

Rodzina	$I_{LI\,max}$	$I_{IH\,min}$	$I_{OI\,max}$	$I_{OH\,min}$	$U_{IL\,max}$	$U_{IH\,min}$	$U_{OL\,max}$	$U_{OH\,min}$
TTL	1,6	0,04	16	0,4	0,8	2	0,4	2,4
L-TTL	0,18	0,01	3,6	0,2	0,7	2	0,4	2,4
H-TTL	2	0,05	20	0,5	0,8	2	0,2	3,4
S-TTL	2	0,05	20	1	0,8	2	0,5	2,5
LS-TTL	0,36	0,02	8	0,4	0,8	2	0,5	2,5
ALS-TTL	0,2	0,02	8	0,4	0,8	2	0,5	3
AS-TTL	0,5	0,02	20	2	0,8	2	0,5	3
F-TTL	0,6	0,02	20	1	0,8	2	0,5	3,4
4000B	0,001	0,001	0,4	0,14	1,5	3,5	0,5	4,5
74HC/HCT	0,001	0,001	4	4	1,2	1,6	0,2	4,3
FACT	0,001	0,001	24	24	0,8	2	0,32	4,3
ACL	0,001	0,001	24	24	0,8	2	0,44	4

* wartości w [mA] i [V]; podane poziomy napięciowe są standartowymi spełnianymi przez każdy układ. Rzeczywiste układy mają lepsze parametry (informują o nich katalogi producentów).

Tabela 3. Dopuszczalne obciążenia (V_{CC}=5V).

	TTL	L - TTL	H - TTL	S - TTL	LS - TTL	ALS - TTL	AS - TTL	F - TTL	CMOS	HC/HCT	FACT, ACL
TTL	10	40	8	8	20	20	8	20	400	Jak CMOS	Jak CMOS
L - TTL	2	20	1	1	9	10	1	6	200		
H - TTL	12	50	10	10	25	25	10	25	500		
S - TTL	12	100	10	10	50	50	10	33	1000		
LS - TTL	5	40	4	4	20	20	4	13	400		
ALS - TTL	5	40	4	4	20	20	4	13	400		
AS - TTL	12	111	10	10	50	100	10	33	2000		
FAST - TTL	12	100	10	10	50	50	10	33	1000		
CMOS	-	2	-	-	1	2	-	-	440		
74HC/HCT	2	22	2	2	10	20	2	6	4000		
FACT, ACL	15	133	12	12	66	120	48	48	24000		

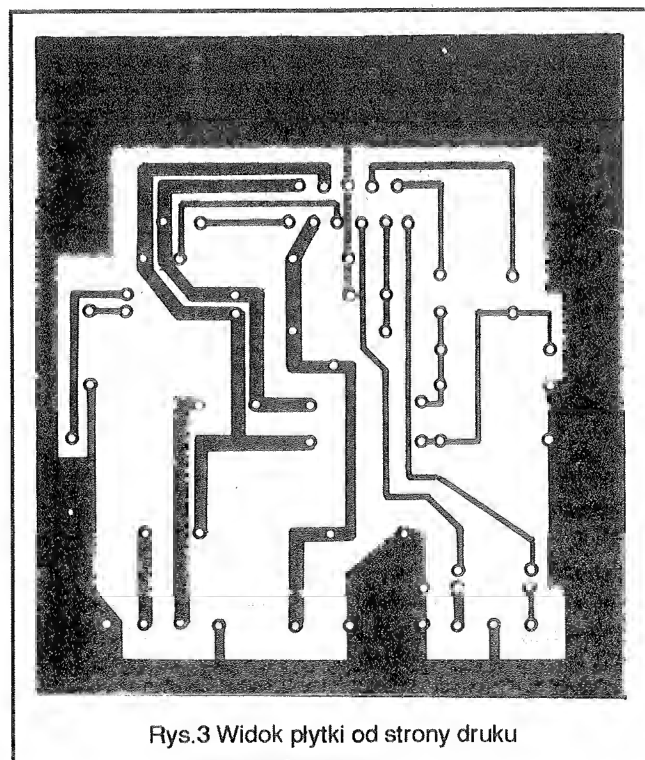
* wartość teoretyczna, w praktyce ograniczona pojemnością

cd. ze strony 8

wymagane jest napięcie wejściowe 50-100mV. Dla chłodzenia układu scalonego najlepszy jest profilowany aluminiowy radiator. Przy montażu należy zwrócić uwagę na beznapięciowe połączenie układu scalonego do radiatora. Radiator powinien być połączony z płytką za pomocą śrub. Płytka drukowana jest przewidziana dla dwóch wariantów zastosowania wzmacniacza. Kondensatory C12 i C13 są zamienione mostkami. Wyprowadzenie 5 układu scalonego jest też zwarte do masy (mostek przy kondensatorze C5). Połączenie rezystora R5 dla drugiego wariantu też zostało przewidziane. Przy montażu należy też zwrócić uwagę na zmianę wartości rezystancji dla dwóch wariantów.

mgr inż. Zbigniew Pędzik

Literatura:
FUNKAMATEUR 2/89



Rys.3 Widok płytki od strony druku

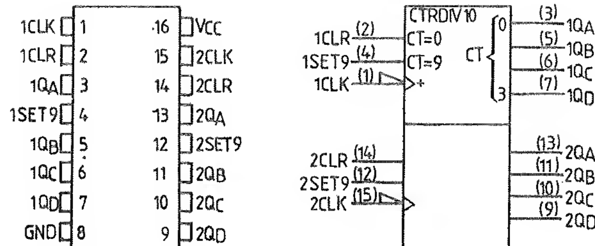
KATALOG cz. 12

Wykaz oznaczeń:

V_{CC} - znamionowe napięcie zasilania
I_I - prąd wejściowy
f_{max} - maksymalna częstotliwość
t_{PLH} - czas propagacji przy zmianie stanu logicznego z niskiego na wysoki
t_{PHL} - czas propagacji przy zmianie stanu logicznego z wysokiego na niski
t_{PZL} - czas propagacji przy zmianie stanu z wysokiej impedancji na stan niski
t_{PZH} - czas propagacji przy zmianie stanu z wysokiej impedancji na stan wysoki
t_{PLZ} - czas propagacji przy zmianie stanu niskiego na stan wysokiej impedancji
t_{PHZ} - czas propagacji przy zmianie stanu wysokiego na stan wysokiej impedancji
L - stan niski "0"
H - stan wysoki "1"
X - stan dowolny "0" lub "1"
Z - stan wysokiej impedancji

SN 74LS490

Dwa czterobitowe liczniki dziesiętne

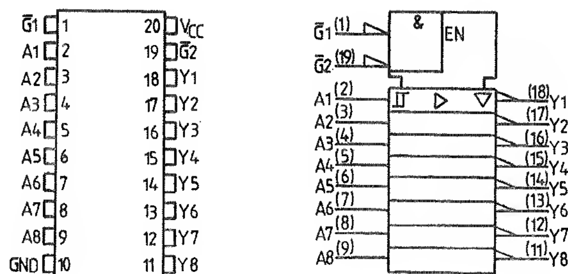


	WYJ.			
	Q_D	Q_C	Q_B	Q_A
0	L	L	L	L
1	L	L	L	H
2	L	L	H	L
3	L	L	H	H
4	L	H	L	L
5	L	H	L	H
6	L	H	H	L
7	L	H	H	H
8	H	L	L	L
9	H	L	L	H

	LS490	JED.
V_{CC}	5	V
I_I	0.1	mA
f_{max}	35	MHz

SN 74LS540

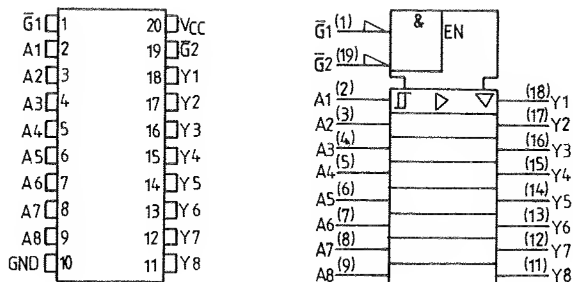
Osiem buforów - wyj. trójstanowe



	LS540	JED.
V_{CC}	5	V
I_I	0.1	mA
t_{PLH}	9	ns
t_{PHL}	9	ns
t_{PZL}	25	ns
t_{PZH}	15	ns
t_{PLZ}	10	ns
t_{PHZ}	15	ns

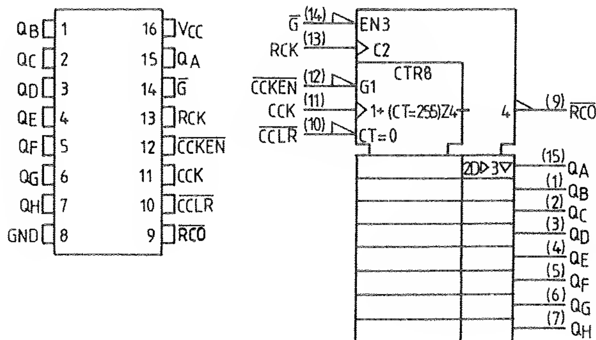
SN 74LS541

Osiem buforów - wyj. trójstanowe



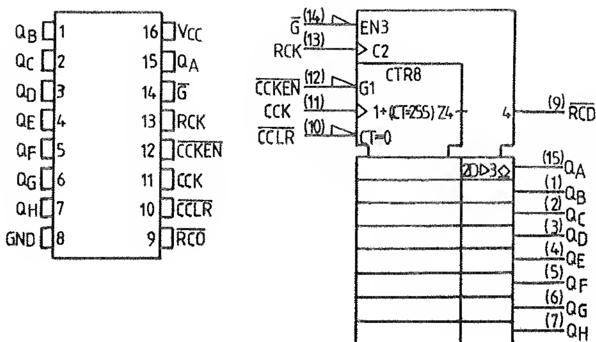
	LS540	JED.
V_{CC}	5	V
I_I	0.1	mA
t_{PLH}	9	ns
t_{PHL}	10	ns
t_{PZL}	25	ns
t_{PZH}	20	ns
t_{PLZ}	10	ns
t_{PHZ}	18	ns

SN 74LS590
Ośmiobitowy licznik dwójkowy - wyj. z pamięcią



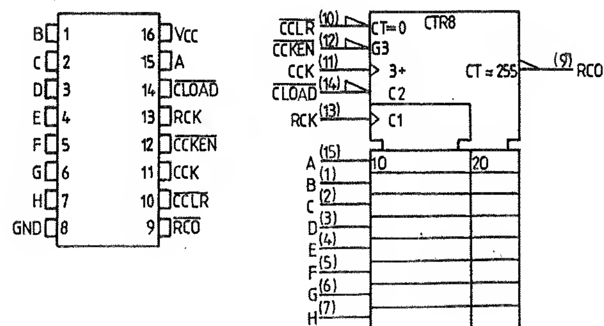
	LS590	JED.
V_{CC}	5	V
I_I	0.1	mA
f_{max}	35	MHz

SN 74LS591
Ośmiobitowy licznik dwójkowy - wyj. z pamięcią



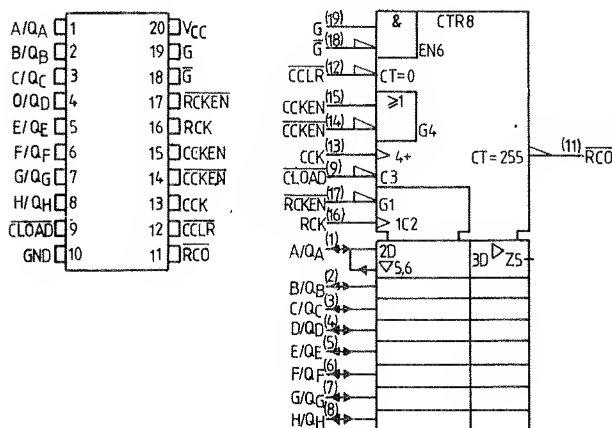
	LS591	JED.
V_{CC}	5	V
I_I	0.1	mA
f_{max}	35	MHz

SN 74LS592
Ośmiobitowy licznik dwójkowy - wej. z pamięcią



	LS592	JED.
V_{CC}	5	V
I_I	0.1	mA
f_{max}	35	MHz

SN 74LS593
Ośmiobitowy licznik dwójkowy - wej. z pamięcią



	LS593	JED.
V_{CC}	5	V
I_I	0.1	mA
f_{max}	35	MHz